

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
"ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

НАВЧАЛЬНИЙ ПОСІБНИК

«Комп'ютерна схемотехніка: лабораторний практикум»

для студентів галузі знань «12 Інформаційні технології»
спеціальності 123 «Комп'ютерна інженерія»

*Рекомендовано Науково-методичною радою
Національного університету "Львівська політехніка"*

Львів 2022

Автор: Клушин Ю.С., к.т.н., доцент кафедри ЕОМ

Рецензенти:

Оліярник Б. О. – головний конструктор Державного підприємства “Львівський державний завод “ЛОРТА”, д.т.н., професор, Лауреат Державної премії України в галузі науки і техніки;

Луценюк А. А. – директор Львівського центру Інституту космічних досліджень НАН та ДКА України, к.т.н.;

Глухов В.С., д.т.н., професор кафедри ЕОМ

Рекомендовано Науково-методичною радою
Національного університету “Львівська політехніка”
(протокол № від « » 2022 року)

Навчальний посібник «Комп’ютерна схемотехніка: лабораторний практикум» для студентів галузі знань «12 Інформаційні технології» спеціальності 123 «Комп’ютерна інженерія» / Автор Клушин Ю.С. – Львів: Видавництво Національного університету “Львівська політехніка”, 2022. – 172 с.

До посібника увійшли методичні вказівки до лабораторних робіт з навчальної дисципліни **«Комп’ютерна схемотехніка»**, завдання для самоперевірки і термінологічний словник.

Навчальний посібник призначений для студентів спеціальності “Комп’ютерна інженерія” галузі знань “Інформаційні технології”.

© Клушин Ю. С., 2022

© Національний університет

«Львівська політехніка», 2022

ISBN

ЗМІСТ

Вступ.....	4
Системи для схемотехнічного проектування електронних засобів.....	5
Лабораторна робота № 1. Дослідження ІС ТТЛ (ТТЛШ) групи комбінаційної логіки.....	20
Лабораторна робота № 2-3. Дослідження схем RS, універсальних D та JK тригерів на елементах ТТЛ (ТТЛШ) серій	34
Лабораторна робота № 4. Дослідження регістрів ІС ТТЛ (ТТЛШ) серій.....	49
Лабораторна робота № 5. Дослідження асинхронних та синхронних лічильників ІС ТТЛ (ТТЛШ) серій.....	58
Лабораторна робота № 6. Дослідження схем реалізації автомата керування.....	77
Лабораторна робота № 7. Дослідження мікросхем пам'яті.....	85
Лабораторна робота № 8-9. Дослідження суматорів ІС ТТЛ (ТТЛШ).....	98
Лабораторна робота № 10-11. Дослідження АЛП ІС ТТЛ (ТТЛШ).....	107
Лабораторна робота № 12-13. Дослідження ІС цифро-аналогових та аналого-цифрових перетворювачів.....	118
Задачі до лабораторного практикуму.....	142
Література.....	147
Термінологічний словник.....	149

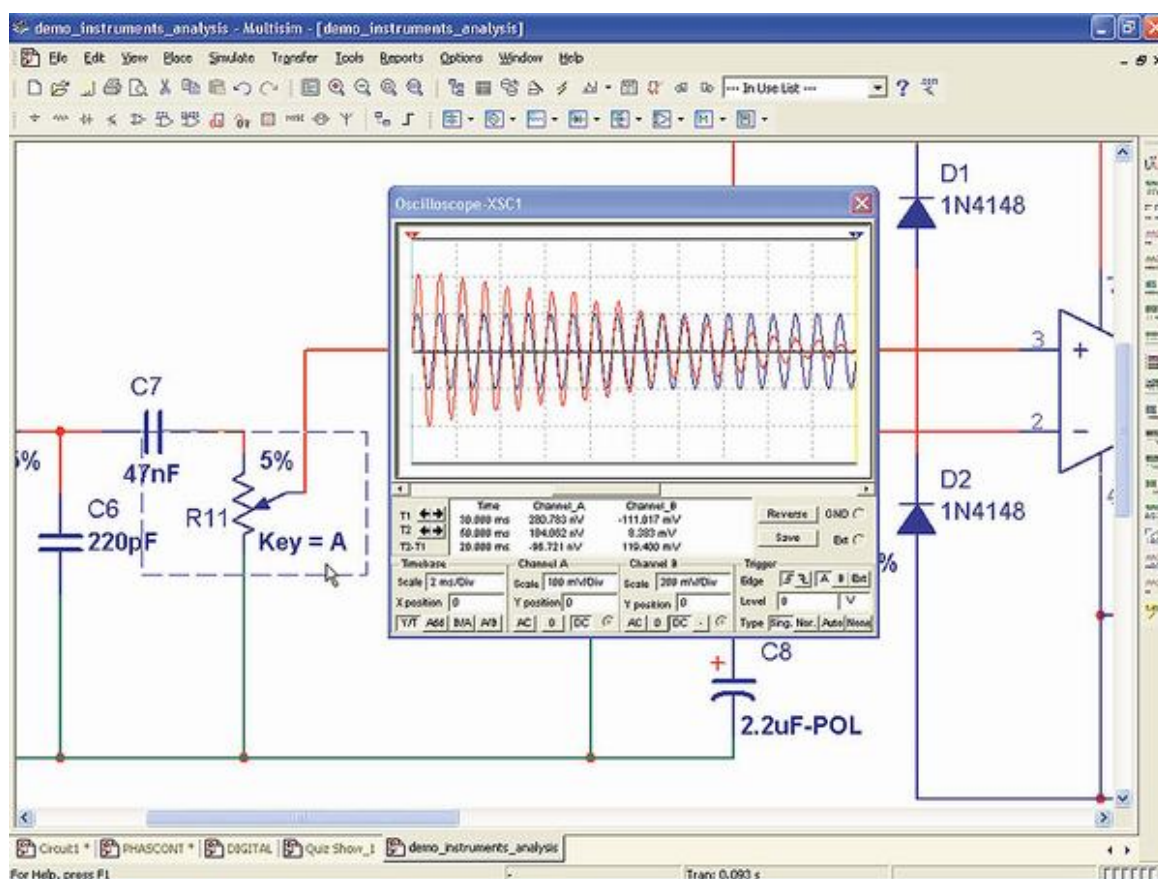
ВСТУП

Лабораторний практикум з дисципліни «Комп'ютерна схемотехніка», що викладається на кафедрі Електронні обчислювальні машини, складаються з двох частин – роботи, пов'язані з моделюванням електронних пристроїв на лабораторних стендах, та роботи, пов'язані з моделюванням цих пристроїв в системах Multisim та Proteus. Ця дисципліна є однією з базових дисциплін при підготовці інженерів та науковців в галузі комп'ютерної схемотехніки. Такі електронні пристрої, як регістри, лічильники, суматори, арифметико – логічні пристрої, автомати керування, пам'ять, цифро-аналогові та аналого-цифрові перетворювачі входять до складу практично будь-яких сучасних обчислювальних приладів і систем. Знання та практичні навички, отримані при вивченні цієї дисципліни, будуть використовуватись студентами для вирішення практичних задач проектування та розрахунку різних обчислювальних пристроїв і систем. Методичні вказівки до виконання лабораторних робіт розраховані на студентів, які навчаються за спеціальністю 123 – «Комп'ютерна інженерія». Також можуть бути корисними і для студентів інших спеціальностей, пов'язаних з проектуванням електронних пристроїв. Лабораторні роботи можуть виконуватися на персональному комп'ютері в програмному середовищах Proteus, Workbench та Multisim. В методичних вказівках наведено інструкції із синтезу і моделювання електронних схем в програмному середовищі Multisim. Основу методичних вказівок складають 12 лабораторних робіт, в яких необхідно синтезувати та промодельовувати основні електронні пристрої, зробити висновки щодо отриманих результатів. Роботи оформлені доступно для сприйняття і відтворення з відповідними детальними інструкціями та ілюстраціями, тому студенти зможуть їх виконати без особливих ускладнень та отримати задоволення від здобутих знань та практичних навичок.

СИСТЕМИ ДЛЯ СХЕМОТЕХНІЧНОГО ПРОЕКТУВАННЯ ЕЛЕКТРОННИХ ЗАСОБІВ MULTISIM

При проектуванні сучасних радіoeлектронних пристроїв неможливо обійтися без комп'ютерних методів розробки через складність та об'ємність виконуваних робіт. Створення радіoeлектронних пристроїв вимагає високої точності та глибокого аналізу, у зв'язку з чим виникає потреба застосування на стадії проектування сучасних програмних засобів.

Multisim використовується у світі програмного забезпечення для проектування електричних схем, їх тестування та налагодження. У комплект продуктів NI Circuit Design Suite входять засоби для створення електричних схем, а також розробки та трасування друкованих плат на професійному рівні.



Програма Multisim призначена для схемотехнічного проектування електронних засобів та містить практично всі основні елементи електронних ланцюгів. Зручність застосування цього пакету при моделюванні електронних пристроїв полягає у відображенні на екрані монітора схеми досліджуваного пристрою та контрольно-вимірювальних приладів, передні панелі яких з

органами управління максимально наближені до їх промислових аналогів. Концепція віртуальних приладів – простий та швидкий спосіб побачити результат за допомогою імітації реальних подій.

Multisim використовується у світі програмного забезпечення для проектування електричних схем, їх тестування та налагодження. У комплект продуктів NI Circuit Design Suite входять засоби для створення електричних схем, а також розробки та трасування друкованих плат на професійному рівні.

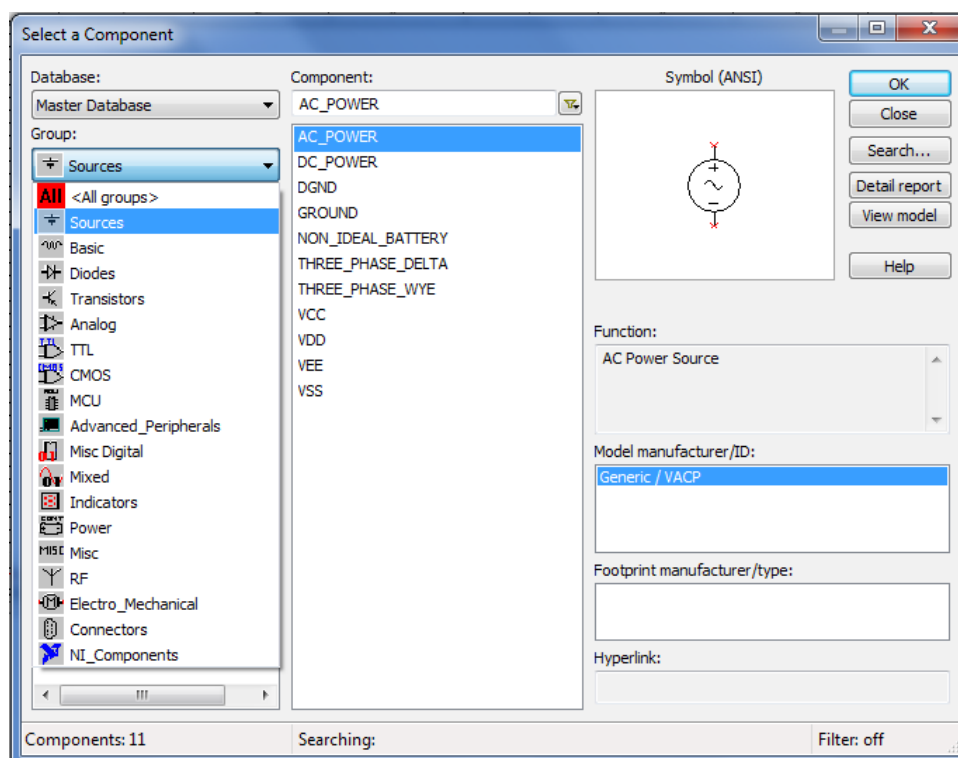
Програма Multisim є справжньою лабораторією схемотехнічного моделювання, яка завдяки простому та зручному інтерфейсу дозволяє з легкістю моделювати складні принципові схеми та проектувати багат шарові друковані плати. У розпорядженні користувачів широкий набір бібліотечних компонентів, параметри та режими роботи яких можна змінювати у широкому діапазоні значень. Під час підготовки даного лабораторного практикума, використовувалося програмне середовище Multisim 12.0. У цій версії значно збільшено обсяг і якість бібліотек компонентів: по відношенню до версій 10.0 та 11.0 було додано більш ніж 1500 компонентів, нові біполярні джерела струму та напруги, рідкокристалічні графічні індикатори. У пакеті присутні також джерела струму та напруги з впливом різної форми, функціональні перетворювачі сигналів (перемножувачі, дільники сигналів), пристрої на основі операційних підсилювачів, цифрові елементи, електромеханічні та ВЧ-компоненти, які не завжди є в інших подібних програмах, таких як Proteus та Crocodile Technology. Multisim 12.0 стійко працює під керуванням Windows XP/Vista/7/10 (32/64 біт).

Програма, що розглядається, дозволяє підключати до схеми, розробленої в її середовищі, віртуальні прилади — програмні моделі контрольно-вимірювальних приладів, які відповідають реальним. Використання віртуальних приладів в Multisim (осциллографів, генераторів сигналів, мережевих аналізаторів тощо) - це простий і зрозумілий метод взаємодії зі схемою, що майже не відрізняється від традиційного при тестуванні або створенні радіоелектронного пристрою.

За замовчуванням використовується база елементів Master Database.

Компоненти, що містяться в ній, розділені на такі групи:

- Sources містить джерела живлення, заземлення;
- Basic - резистори, конденсатори, котушки індуктивності і т.д.
- Diodes – містить різні види діодів.
- Transistors – містить різні види транзисторів.
- Analog – містить усі види підсилювачів: операційні, диференціальні, інвертуючі та ін.
- TTL - містить елементи транзисторно-транзисторної логіки
- CMOS – містить елементи КМОП-логіки.
- MCU Module – керуючий модуль багатоточкового зв'язку.
- Advanced_Peripherals – зовнішні пристрої, що підключаються.
- Misc Digital – різні цифрові пристрої.



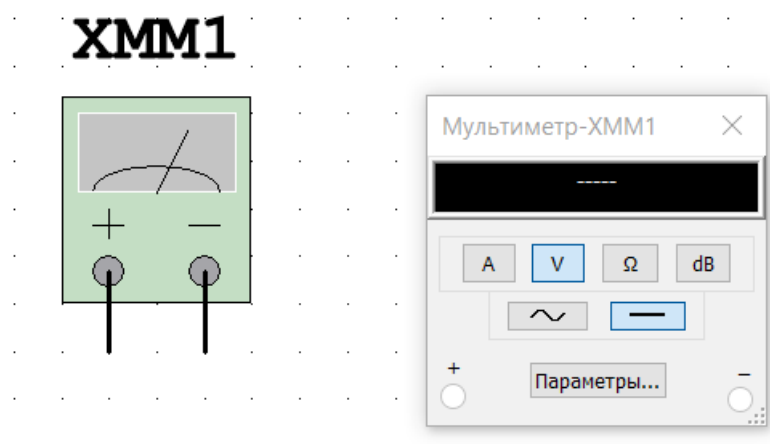
- Mixed – комбіновані компоненти
- Indicators - містить вимірювальні прилади та ін.

Але все ж таки у даної системи є і недолік - невеликий вибір компонентів бібліотеки мікроконтролерів, до складу якої входять лише такі представники: x8051, x8052, PIC16F84, PIC16F84A. Причому склад цієї бібліотеки не змінювався, починаючи з версії 10.

Multisim пропонує достатню кількість віртуальних інструментів, які ви можна використовувати для вимірювання та дослідження поведінки схеми. Ці інструменти встановлюються, використовуються і показують подібно до їхніх реальних еквівалентів. Використання віртуальних інструментів – найпростіший спосіб перевірити поведінку схеми та побачити результати симуляції. На додаток до стандартних інструментів, які є в Multisim, можна створити свої власні, використовуючи LabVIEW - графічне оточення для створення гнучких та масштабованих стендів, вимірювачів та керуючих додатків.

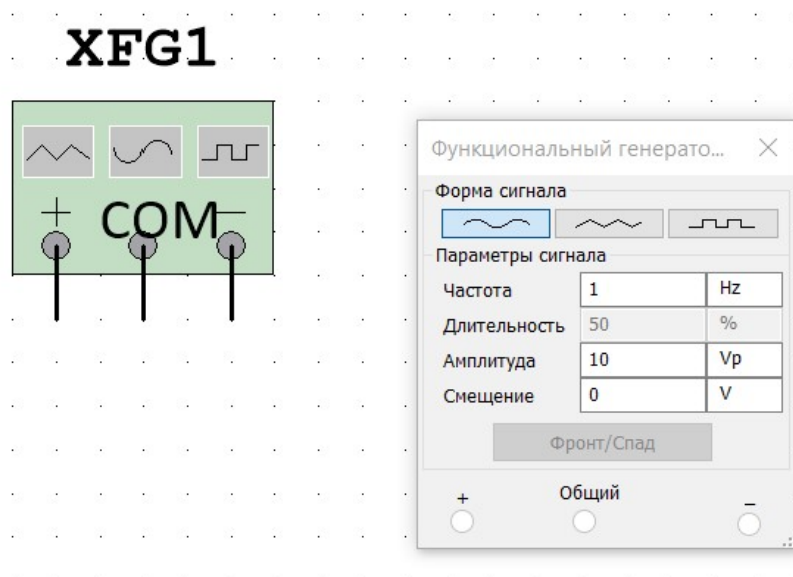
Мультиметр.

Мультиметр використовується для вимірювання змінної (AC) або постійної (DC) напруги або струму, опору або падіння в децибелах між двома вузлами схеми. Мультиметр автоматично визначає межі, тому вибирати межу вимірювання не потрібно. Його початковий опір і струм встановлені в близьких до ідеальних значень, які можна змінити.



Генератор сигналів.

Генератор сигналів (function generator) – це джерело напруги, яке може генерувати синусоїдальні, пілкоподібні та прямокутні імпульси. Можна



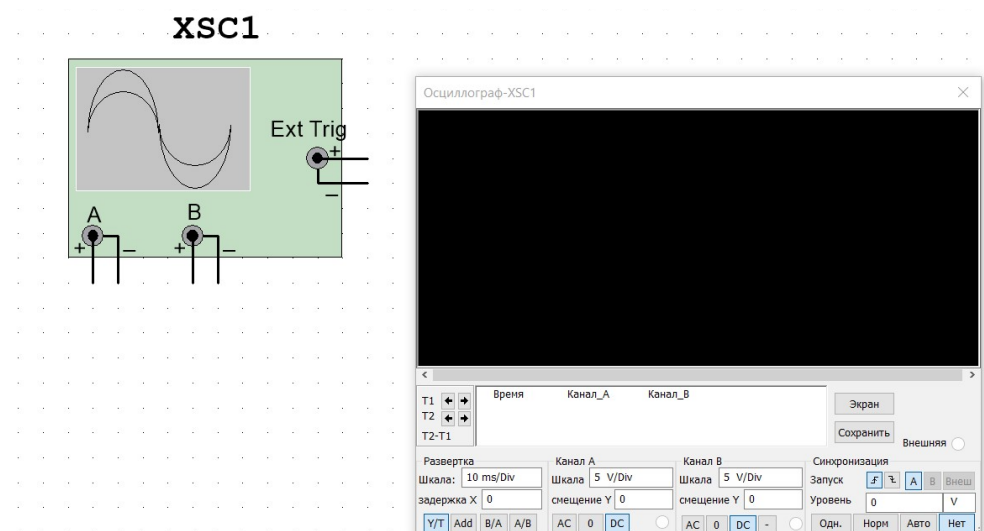
змінити форму сигналу, його частоту, амплітуду, коефіцієнт заповнення та постійний зсув.

Осцилограф.

У Multisim є кілька модифікацій осцилографів, якими можна управляти як реальними. Вони дозволяють встановлювати параметри тимчасової розгортки та напруги, вибирати тип та рівень запуску вимірювань.

У Multisim є такі осцилографи:

а) 2-х каналний



а)

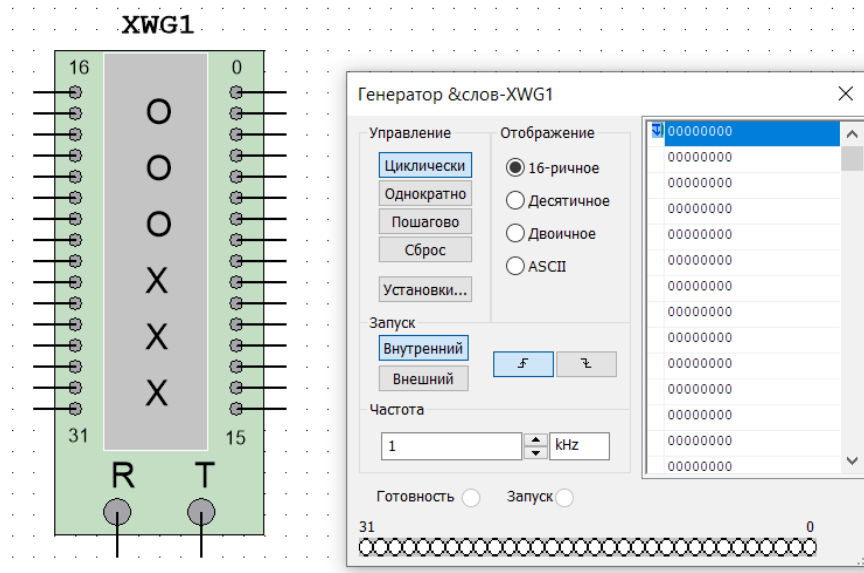
б) 4-х каналний

Генератор слів.

Для використання цього інструменту треба клацнути кнопку Word Generator на панелі Instruments та клацнути для розміщення іконки у робочій області.

Значок використовується для підключення генератора слів до схеми. Подвійне клацання відкриває панель інструменту, яка використовується для встановлення та перегляду результатів вимірювання.

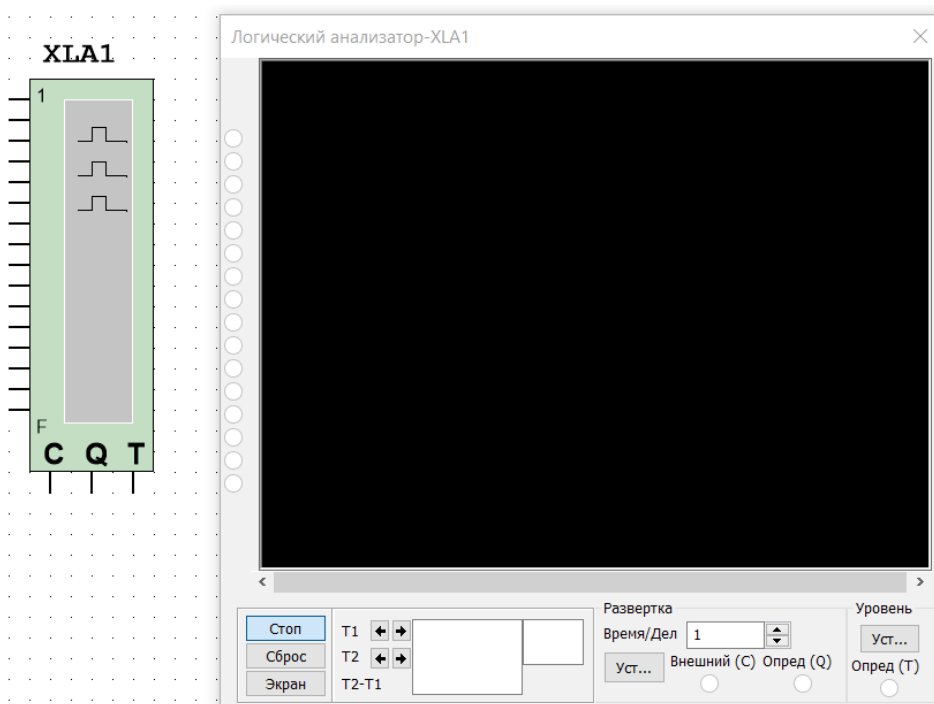
Генератор слів використовується для надсилання цифрового слова або бітового шаблону до схеми при симуляції цифрових схем.



Логічний аналізатор.

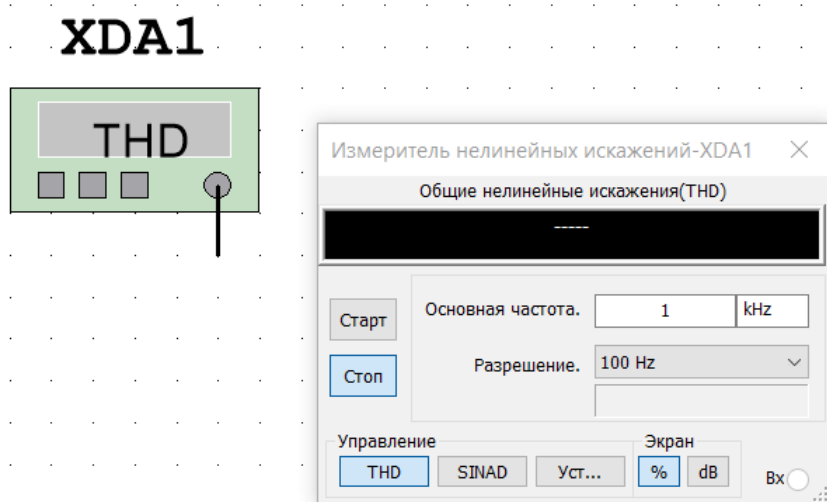
Щоб використати інструмент, треба клацнути на кнопці Logic Analyzer на панелі Instruments і клацнути там, де потрібно розмістити іконку в робочій області. Значок використовується для підключення логічного аналізатора до схеми. Двічі клацніть по іконці, щоб відкрити панель інструменту, яка використовується для встановлення та перегляду результатів вимірювання.

Логічний аналізатор відображає рівні до 16 цифрових сигналів у схемі. Використовується для швидкого збору даних про логічний стан та розширеного тимчасового аналізу при розробці великих систем та виявлення несправностей.



Аналізатор нелінійних спотворень.

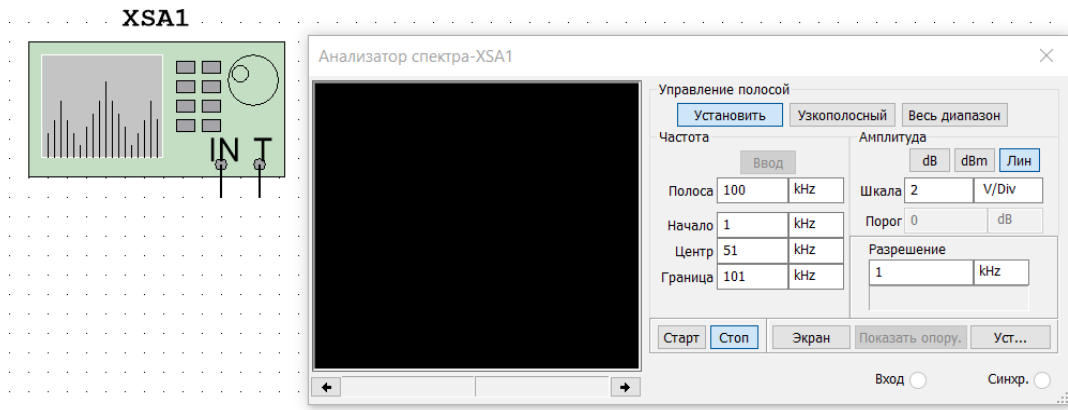
Для використання цього інструменту треба клацнути кнопку Distortion Analyzer на панелі Instruments та клацнути у місці, де слід розташувати іконку в робочій області. Значок використовується для підключення приладу до схеми. Подвійне клацання по іконці відкриває панель інструменту, яка використовується для налаштування та перегляду результатів вимірювань.



Зазвичай аналізатор нелінійних спотворень підтримує вимірювання сигналів у діапазоні 20 кГц - 100 кГц, що включає аудіо сигнали.

Аналізатор спектру.

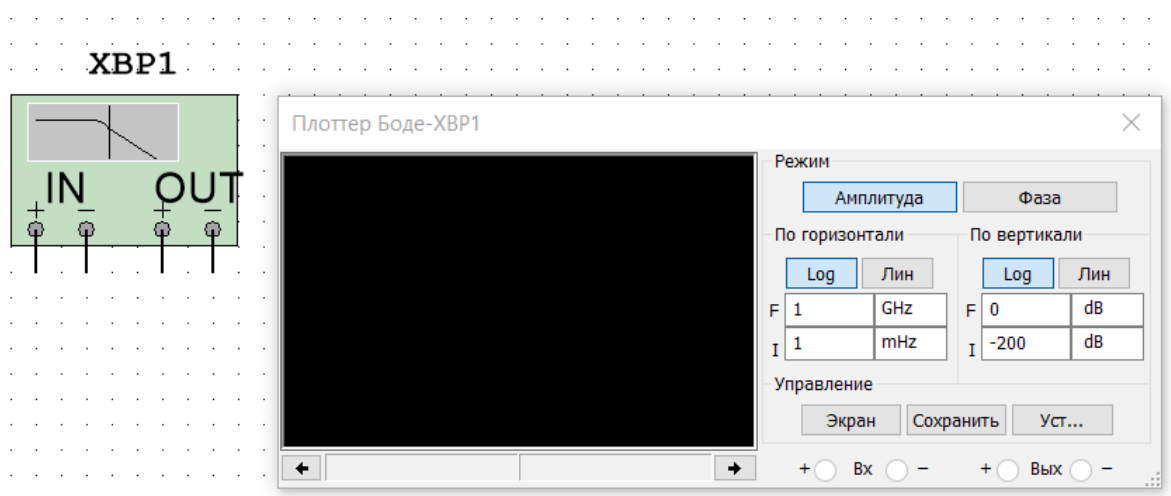
Аналізатор спектру використовується для вимірювання амплітуд залежно від частоти. Це схоже на таку функцію частоти, яку осцилограф виконує в області часу.



Амплітуда сигналу на вході приймача будується залежно від частоти сигналу. Аналізатор спектру здатний виміряти потужність сигналу на різних частотах та допомогти визначити наявність частотних компонентів у сигналі.

Плоттер Боде.

Плоттер Боде робить графік частотної характеристики схеми і найбільш корисний для аналізу схем фільтрів. Плоттер використовується для побудови амплітудно- та фазочастотних характеристик. Коли плоттер підключається до схеми виконується спектральний аналіз.



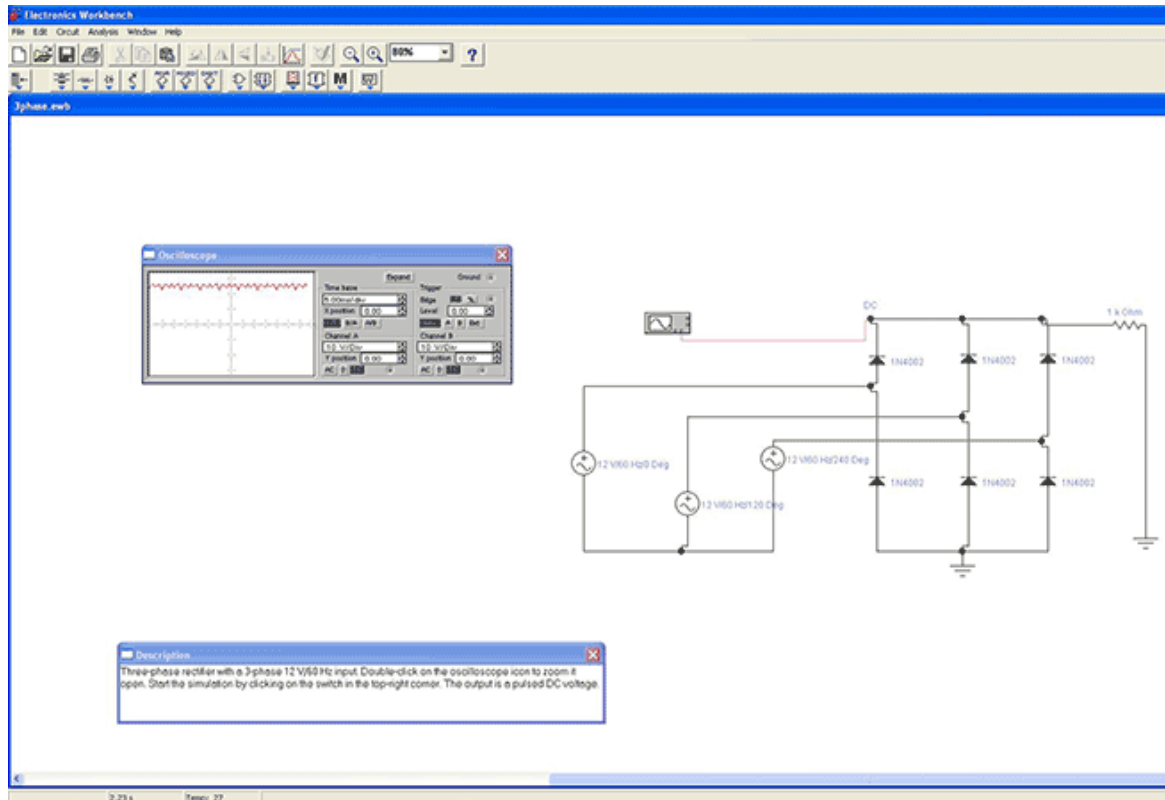
Плоттер Боде генерує ряд частот у заданому діапазоні. Частота будь-якого джерела АС у схемі позначається на роботі плоттера. Однак джерело АС має бути увімкнено де-небудь у схемі.

ELECTRONICS WORKBENCH

Electronics Workbench - один із найвідоміших пакетів схематичного моделювання цифрових, аналогових та аналогово-цифрових електронних схем високої складності.

Дана система схемотехнічного моделювання показала досить високу гнучкість і точність обчислень, знайшовши широке застосування більш ніж 50 країнах світу, як у підприємствах, і у вищих навчальних закладах. Electronics Workbench включає інструменти для моделювання, редагування, аналізу та тестування електричних схем. Програма має простий інтерфейс та ідеально підходить для початкового навчання електроніки. Бібліотеки пропонують величезний набір моделей радіoeлектронних пристроїв від найвідоміших іноземних виробників із широким діапазоном значень параметрів. Крім того, є можливість створення власних компонентів. Активні елементи можуть бути показані як ідеальними, і реальними моделями. Різні прилади (мультиметри, осцилографи, вольтметри, амперметри, частотні графобудівники, динаміки, світлодіоди, лампи розжарювання, логічні аналізатори, сегментні індикатори) дозволяють робити вимірювання будь-яких величин, будувати графіки. Electronics Workbench може провести аналіз ланцюга по постійному та змінному струму, досліджувати перехідні процеси за будь-якого зовнішнього впливу за допомогою генераторів сигналу різної форми. Для більш детального аналізу програмний пакет може працювати з PSpice та Micro-Cap. Electronics Workbench дозволяє експортувати результати робіт у трасувальники Tango, Orcad, Protel, Eagle та Layo1.

Electronics Workbench була створена у 1989 році. Перші версії склалися із двох незалежних частин – для моделювання цифрових та аналогових пристроїв. Пізніше 1996 року обидві частини було об'єднано. У 1997 році було випущено останню версію програми. На сьогоднішній день розробка та підтримка Electronics Workbench припинена, останнім додаванням є EWB Layout, що спеціалізована на розробці друкованих плат та розширює можливості Electronics Workbench.



Продукт створила компанія National Instruments Electronics Workbench Group (Interactive Image Technologies) – один із першопрохідників комп'ютерної розробки пристроїв електроніки. Сьогодні Electronics Workbench – це дочірня компанія, права на яку повністю належать National Instruments Corporation (www.ni.com). Штаб-квартира Electronics Workbench розташована в канадському місті Торонто, офіси розміщені більш ніж у 35 країнах світу. Основні ідеї, напрацювання та досвід фахівців компанії були продовжені в ідейному спадкоємці – програмі NI Multisim.

Меню системи схемотехнічного моделювання Electronics Workbench є англomовним.

Пакет включає засоби редагування, моделювання та віртуальні інструменти тестування електричних схем, а також додаткові засоби аналізу моделей. Electronics Workbench Multisim працює під керуванням Windows XP/Vista/7/10 (32/64 біт).

PROTEUS

Пакет є системою моделювання, що базується на основі моделей електронних компонентів, прийнятих в PSpice. Відмінною рисою пакету

PROTEUS VSM є можливість моделювання роботи програмованих пристроїв: мікроконтролерів, мікропроцесорів, DSP та ін. Причому в Proteus повністю реалізована концепція наскрізного проектування, коли інженер змінює щось у логіці роботи схемотехніки і програмний пакет тут же «підхоплює» дані зміни в системі трасування. Бібліотека компонентів містить довідкові дані. Додатково до пакету PROTEUS VSM входить система проектування друкованих плат. Пакет Proteus складається з двох частин, двох підпрограм: ISIS – програма синтезу та моделювання безпосередньо електронних схем та ARES – програма розробки друкованих плат. Разом із програмою встановлюється набір демонстраційних проектів для ознайомлення.

Також до складу восьмої версії входить середовище розробки VSM Studio, що дозволяє швидко написати програму для мікроконтролера, що використовується в проекті, та скомпілювати.

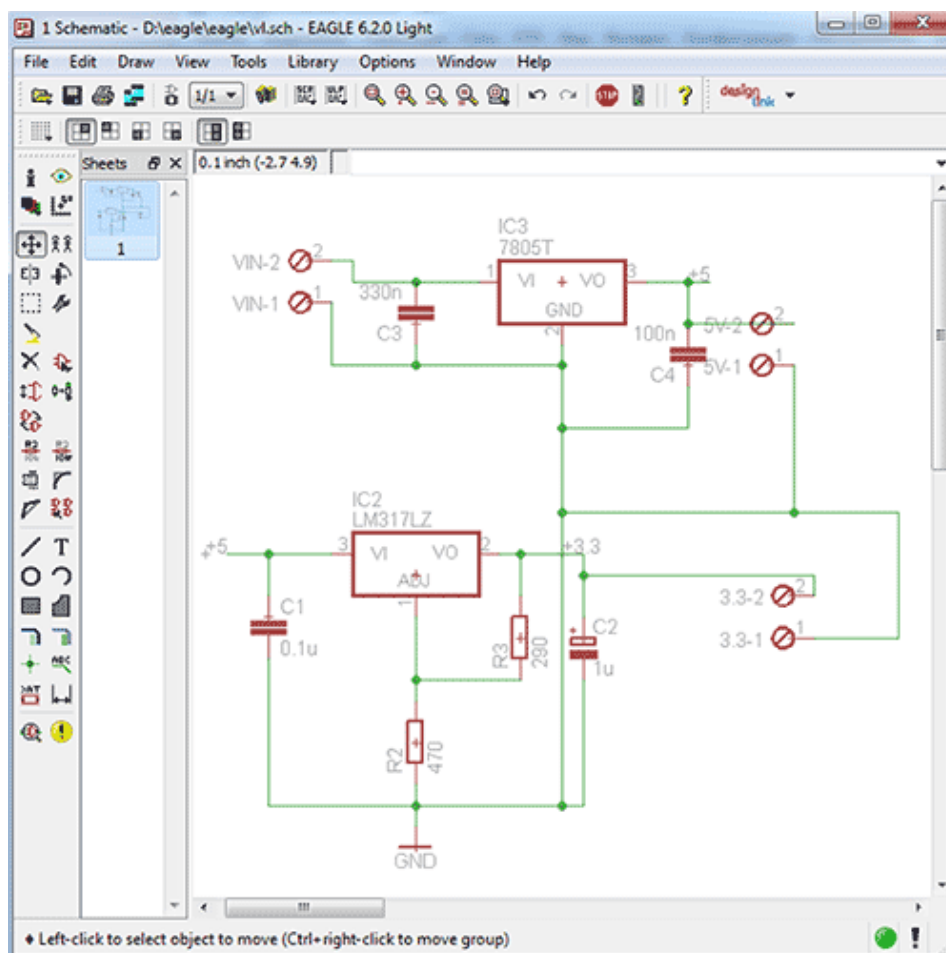
Пакет є комерційним. Безкоштовна ознайомча версія характеризується повною функціональністю, але немає можливості збереження файлів.

Примітною особливістю є те, що ARES можна побачити 3D-модель друкованої плати, що дозволяє розробнику оцінити свій пристрій ще на стадії розробки.

Система підтримує підключення нових елементів (SPICE) та підключення різних компіляторів (PICOLO, ARM-подібні, AVR і далі).

EAGLE

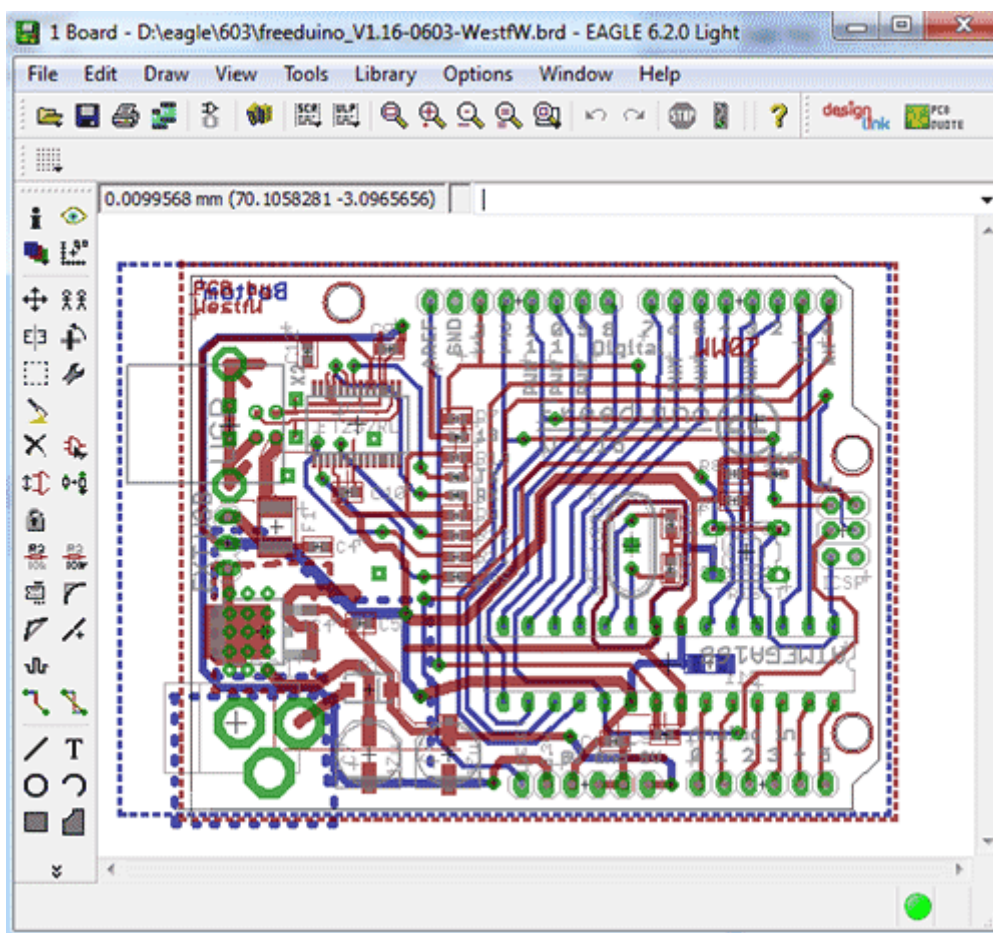
Eagle (Easily Applicable Graphical Layout Editor) – програмний комплекс для креслення електричних схем та трасування друкованих плат електронних приладів.



Програмний пакет Eagle складається з трьох основних компонентів:

1. Schematic Module призначений для малювання електронних схем за допомогою стандартних елементів.
2. Layout Editor, що дозволяє розробити креслення друкованої плати самотужки.
3. Autorouter призначений для трасування друкованої плати без участі користувача.

Існує можливість скористатися стороннім трасувальником, експортуючи плату у будь-який популярний формат. Усі переходи між модулями відбуваються усередині самої програми. Eagle має велику бібліотеку стандартних електронних компонентів з їх коротким описом, зручний редактор елементної бази та логічні модулі, що перевіряють підключення та розташування компонентів на платі.



З переваг Eagle над аналогічними програмами фахівці відзначають можливість відкату подій на будь-яку кількість кроків тому, відсутність проблем під час роботи на старих комп'ютерах, потужна скриптова мова, наявність драйверів для виведення результату на плоттер або принтер. Можливість експорту результату роботи до рендерера POV-Ray дозволяє формувати тривимірні моделі плат.

Існують платні (professional, standard) та безкоштовна (light) версії програми. У light-версії зменшено розмір корисної площі плати (10 на 8 см), доступні всього два провідні шари і один аркуш у редакторі схем на проект. Для більшості радіоаматорських робіт цього більш ніж достатньо. Безкоштовна версія дозволяє завантажувати, відкривати та роздруковувати креслення, що виходять за рамки трьох обмежень.

Інтерфейс програми повністю англomовний. В інтернеті зустрічаються неофіційні русифікатори від сторонніх розробників, але вони не гарантують повноту перекладу та працездатності програми після встановлення.

На даний момент Eagle підтримує Windows 2000/XP/Vista/7/10. Існують версії для Linux, Unix і Mac OS.

Вимоги до підготовки студентів.

Перед початком виконання лабораторної роботи студент повинен знати:

- роботу стенду;
- принципи роботи мікросхем, що досліджуються, та їх основні параметри;
- монтажні схеми включення мікросхем, що досліджуються.

Студент допускається до лабораторної роботи тільки за умови виконання ним усіх вище перелічених вимог та відповідного оформлення звіту.

Лабораторна робота № 1

Дослідження ІС ТТЛ (ТТЛШ) групи комбінаційної логіки.

Мета роботи: вивчення та практичне засвоєння інтегральних мікросхем ТТЛ (ТТЛШ) групи комбінаційних елементів, розробка електричних принципових схем та дослідження їх роботи за допомогою засобів моделювання апаратних пристроїв з використанням контрольно-вимірювальних приладів.

Загальні теоретичні відомості.

Серії цифрових мікросхем

Випускається велика кількість різних цифрових мікросхем: від найпростіших логічних елементів до складних процесорів, мікроконтролерів і спеціалізованих ВІС (Великих Інтегральних Мікросхем).

У залежності від технології виготовлення інтегральні мікросхеми (ІМС) підрозділяються на серії (сімейства), що розрізняються фізичними параметрами базових елементів і їхнім функціональним призначенням. Найбільше поширення одержали ІМС, виготовлені по ТТЛ- і КМДН-технологіям, де ТТЛ – транзисторно-транзисторна логіка з використанням біполярних транзисторів, КМДН – з використанням комплементарних МДН- транзисторів (метал-діелектрик-напівпровідник). Типовий МДН-транзистор складається з МД/ОН-структури (метал- діелектрик/окисел- напівпровідник, наприклад n типу), та двох p- карманів для електродів джерела та стоку.

Поширеними типами технологій є:

- транзисторно-транзисторна логіка (ТТЛ-схеми, TTL);
- емітерно зв'язана логіка (ЕЗЛ-схеми, ECL);
- транзисторні схеми з резисторними зв'язками (РТЛ-схеми, RTL);
- діодно-транзисторна логіка (ДТЛ-схеми, DTL);
- інжекційна інтегральна логіка (ІІЛ-схеми або I^2L , I^2L);
- ТТЛ-схеми з діодами Шоткі (ТТЛШ-схеми, STTL);
- I^2L з діодами Шоткі (I^2L Ш-схеми, SI^2L);

– схеми на основі транзисторів зі структурою метал-окисел-напівпровідник (МОН, MOS) з різними типами провідності:

- рМОН (рMOS);
- nМОН (nMOS);
- КМОН (CMOS);

Кожна технологія виготовлення мікросхем безперервно удосконалюється у напрямку збільшення швидкодії, зменшення споживаної потужності та зростання ступеня інтеграції.

У табл. 1.1. зведені усереднені характеристики мікросхем, що виготовлені за найбільш поширеними в практиці технологіями.

Таблиця 1.1. Характеристики мікросхем виконаних в різних технологій

Тип технології	Серія мікросхем	Параметри одного логічного елемента				Зарубіжний аналог
		$t_{зс}$, нс	$P_{сст}$, мВА	$t_{зс} P_{сст}$, нДж	E , В	
ТТЛ	K155, KM155	10	10	100	5	SN74
	K131	11	23	263	5	SN74
	K134, KP134	66	1	66	5	SN74
ТТЛ Ш	K551	3	20	60	5	SN74 S
	K1531, KP1531	3	4	12	5	SN74 F
	K555, KM555, 533	10	2	20	5	SN74 LS
	K1533, KP1533	4	2	8	5	SN74A LS
ЕЗЛ	K100, K500, 700	2	25	50	-5,2	MC10K
	K1500	0,75	40	30	-4,5	F00K
	K1800	1,5	20	30	-5,2	MC1080
КМОН	K176	100	10^{-3}	0,1	9	CD4000B
	K561, 564, 1561	15-50	10^{-3}	3	3-15	CD4000
І ² Л	K583, KP 584	5	0,2	1	5-9	-

Кожна мікросхема серій сімейства 74 має своє позначення, і система позначень вітчизняних серій істотно відрізняється від прийнятої за кордоном.

Як приклад розглянемо систему позначень фірми Texas Instruments (рис. А.3). Повне позначення складається із шести елементів:

1. Ідентифікатор фірми SN (для серій АС і АСТ відсутній).
2. Температурний діапазон (тип сімейства):

1. 74 – комерційні мікросхеми (температура навколишнього середовища для біполярних мікросхем – $0...70^{\circ}\text{C}$, для КМОП мікросхем – $-40...+85^{\circ}\text{C}$),
2. 54 – мікросхеми військового призначення (температура – $-55 ... +125^{\circ}\text{C}$).
3. Код серії (до трьох символів):
 1. Відсутній – стандартна ТТЛ-серія.
 2. LS (Low Power Schottky) – малопотужна серія ТТЛШ.
 3. S (Schottky) – серія ТТЛШ.
 4. ALS (Advanced Schottky) – покращена серія ТТЛШ.
 5. F (FAST) – швидка серія.
 6. HC (High Speed CMOS) – високошвидкісна КМОП-серія.
 7. HCT (High Speed CMOS with TTL inputs) – серія HC, сумісна по входу із ТТЛ.
 8. AC (Advanced CMOS) – поліпшена серія КМОП.
 9. ACT (Advanced CMOS with TTL inputs) – серія AC, сумісна по входу із ТТЛ.
 10. BCT (BiCMOS Technology) – серія з БіКМОП-технологією.
 11. ABT (Advanced BiCMOS Technology) – поліпшена серія з БіКМОП-технологією.
 12. LVT (Low Voltage Technology) – серія з низькою напругою живлення.
4. Ідентифікатор спеціального типу (2 символи) – може бути відсутній.
5. Тип мікросхеми (від двох до шести цифр).
6. Код типу корпусу (від одного до двох символів) – може бути відсутній.
Наприклад, N – пластмасовий корпус DIL (DIP), J – керамічний DIL (DIC), T – плоский металевий.

Таблиця 1.2. Порівняння параметрів однакових мікросхем у різних стандартних серіях

	KP155Л А3 (SN7400 N)	KP555ЛA3 (SN74LS00 N)	KP1533ЛA3 (SN74ALS00 N)	KP1554ЛA3 (SN74AC00 N)
--	---	--------------------------------------	--	---------------------------------------

tPLH, нс не більше	22	15	11	8,5
tPHL, нс не більше	15	15	8	7,0
ПЛ, МА не більше	-1,6	-0,45	-0,1	-0,001
ПН, МА не більше	0,04	0,02	0,02	0,001
IOL, МА не менше	16	8	15	86
IOH, МА не менше	-0,4	-0,4	-0,4	-75
UOL, В не більше	0,4	0,5	0,5	0,3
UOH, В не менше	2,4	2,7	2,5	4,4
ICC, МА не більше	12	4,4	3	0,04

На першому рівні подання (логічна модель) серії не розрізняються нічим. Тобто однакові мікросхеми різних серій працюють за тими самими таблицями істинності, за тими самими алгоритмами. Необхідно враховувати, що деякі мікросхеми є тільки в одній із серій, а деяких немає в декількох серіях.

На другому рівні подання (модель із урахуванням затримок) серії відрізняються величиною затримки поширення сигналу. Це розходження може бути досить істотним. Тому в тих схемах, де величина затримки принципова, треба використати мікросхеми більше швидких серій.

На третьому рівні подання (електрична модель) серії розрізняються величинами вхідних і вихідних струмів і напруг, а також, що не менш важливо, струмами споживання (табл. 1.2). Тому в тих пристроях, де ці параметри принципові, треба застосовувати мікросхеми, що забезпечують низькі вхідні струми, високі вихідні струми й мале споживання.

Серія K155 (SN74) – це найбільш стара серія, що поступово зніметься з виробництва. Вона відрізняється гіршими параметрами в порівнянні з іншими серіями. Із цією класичною серією прийнято порівнювати всі інші.

Серія K555 (SN74LS) відрізняється від серії K155 малими вхідними струмами й меншою споживаною потужністю (струм споживання – майже втричі менше, ніж у K155). По швидкодії (часом затримок) вона близька до K155.

Серія KP531 (SN74S) відрізняється високою швидкодією (її затримки приблизно в 3-4 рази менше, ніж у серії K155), але більшими вхідними струмами (на 25% більше, ніж у K155) і великою споживаною потужністю (струм споживання – більше в півтора рази в порівнянні з K155).

Серія КР1533 (SN74ALS) відрізняється підвищеною вдвічі в порівнянні з К155 швидкістю й малою споживаною потужністю (у чотири рази менше, ніж у К155). Вхідні струми ще менше, ніж у К555.

Серія КР1531 (SN74F) відрізняється високою швидкістю (на рівні КР531), але малою споживаною потужністю. Вхідні струми й струм споживання приблизно вдвічі менше, ніж у К155.

Серія КР1554 (SN74AC) відрізняється від всіх попередніх тим, що вона виконана за КМОП-технологією. Тому вона має малі вхідні струми й мале споживання при малих робочих частотах. Затримки приблизно вдвічі менші, ніж у К155.

Найбільшою розмаїтістю наявних мікросхем відрізняються серії К155 і КР1533, найменшим – КР1531 і КР1554.

Треба відзначити, що наведені тут співвідношення по швидкодії стандартних серій досить приблизні й вірні не для всіх різновидів мікросхем, наявних у різних серіях. Точні значення затримок необхідно дивитися в довідниках і фірмових довідкових матеріалах.

Мікросхеми різних серій звичайно легко сполучаються між собою, тобто сигнали з виходів мікросхем однієї серії можна подавати на входи мікросхем іншої серії. Один з винятків – з'єднання виходів ТТЛ-мікросхем із входами КМОН-мікросхем серії КР1554 (74AC). При такому з'єднанні необхідне застосування резистора номіналом 560 Ом між сигналом і напругою живлення (рис. 1).

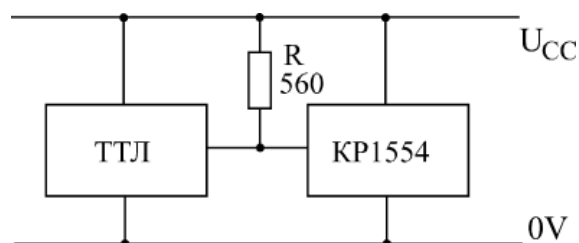


Рис. 1.1. З'єднання виходів ТТЛ-мікросхем із входами КМОН-мікросхем серії КР1554 (74AC)

При виборі тієї або іншої серії мікросхем варто також урахувати, що мікросхеми потужної й швидкої серії KP531 створюють високий рівень завад по шинах живлення, а мікросхеми малопотужної серії K555 дуже чутливі до таких завад. Тому серію KP531 рекомендується використати тільки в крайніх випадках, при необхідності одержання дуже високої швидкодії. Не рекомендується також застосовувати в одному пристрої потужні швидкодіючі мікросхеми й малопотужні мікросхеми.

Базовим елементом логіки ІС ТТЛ-серій є елемент 4І-НЕ (рис.1.1).

Схема містить три основних каскади: вхідний каскад на транзисторі VT1, який реалізує функцію кон'юнкції на 4 входи, фазорозділюючий каскад на транзисторі VT2 та вихідний каскад на транзисторах VT4, VT5.

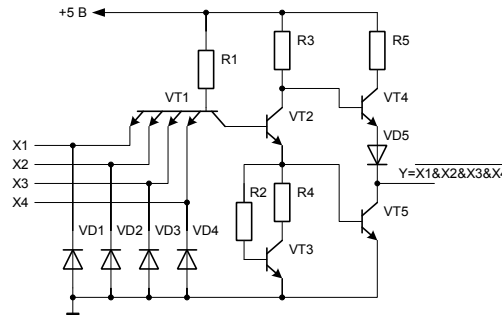


Рис.1.2. Принципова схема базового логічного елементу серії К155 (7400).

Вхідний каскад працює наступним чином. Коли на всі входи X1..X4 елементу будуть одночасно подані напруги високого рівня (лог.1), струм через резистор R1 буде протікати через перехід база-колектор транзистора VT1 в базу транзистора VT2, при цьому на колекторі транзистора VT1 буде високий рівень напруги. Якщо хоча б на один з входів буде подана напруга низького рівня (лог.0), то струм через резистор R1 буде витікати із схеми через перехід база-емітер транзистора VT1 і на колекторі VT1 встановиться низький рівень напруги. До всіх виходів вхідного каскаду підключені демпферні діоди VD1..VD4, які обмежують імпульси напруги завади від'ємної полярності.

Фазорозділюючий каскад виконаний на транзисторі VT2, в коло емітера якого включена ланка корекції R2, R4, VT3, яка покращує передавальну характеристику і завадостійкість схеми. Коли транзистор VT1 пропускає в базу транзистора VT2 струм, напруга на емітері VT2 може зрости тільки до значення U_{BE} транзистора VT5. Коли транзистор VT1 не пропускає струм в базу транзистора VT2, через резистор R3 і коло R2, R4, VT3 протікає тільки струм витоку, тому напруга на емітері транзистора VT2 близька до 0, а на колекторі — до напруги 4В.

Вихідний каскад містить транзистори VT4, VT5 та діод VD5. Якщо хоча б на один з входів схеми поданий лог.0, то транзистори VT2, VT3 та VT5 закриті. Через резистор R3 протікає струм витоку транзистора VT2 і базовий

струм транзистора VT4, тому напруга на колекторі транзистора VT2 буде близька до напруги +4В, а напруга на виході схеми буде нижче напруги колектора транзистора VT2 на величину $U_{VD5} + U_{BE-VT4}$. Якщо на всі входи схеми подані лог.1, транзистори VT2, VT3 і VT5 відкриті і вихідна напруга рівна напрузі колектор-емітер насиченого транзистора VT5 (практично від 0 до 0.4 В).

Мікросхеми ЛА1..ЛА4 містять елементи логіки І-НЕ з відповідною кількістю входів та кількістю елементів в корпусі. В табл.1.3 наведено основні параметри мікросхем ЛА1..ЛА4 різних серій ТТЛ і ТТЛШ – середня споживана потужність ($P_{сер}$) та середня затримка ($t_{сер}$).

Таблиця 1.3

Позн. IC	K155 (SN74)		K555 (SN74LS)		KP1533 (SN74ALS)		KP1531(531) (SN74F)	
	$P_{сер}$,	$t_{сер}$,	$P_{сер}$,	$t_{сер}$,	$P_{сер}$,	$t_{сер}$,	$P_{сер}$,	$t_{сер}$,
	мВт	нс	мВт	нс	мВт	нс	мВт	нс
ЛА1(20)	55	19	8	20	5	10	65	5
ЛА2(30)	26	19	5	20	3	10	37	5
ЛА3(00)	110	19	17	20	10	10	135	5
ЛА4(16)	83	19	14	20	7	10	100	5

На рис.1.3 наведені умовні графічні позначення цих мікросхем.

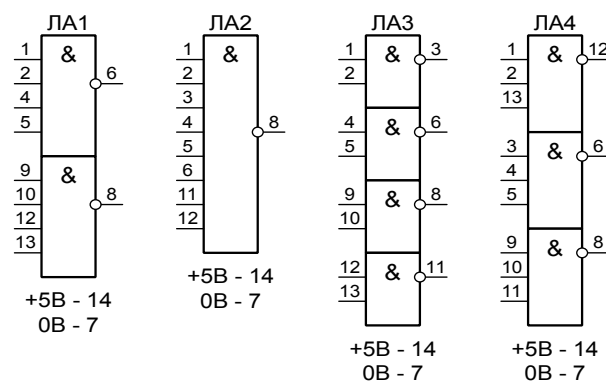
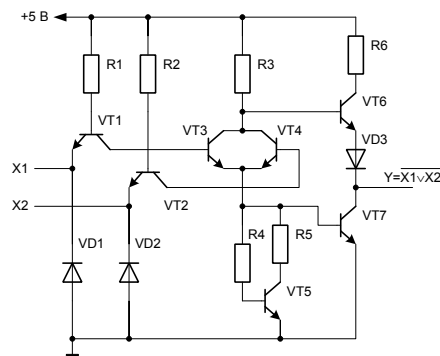


Рис.1.3. Умовні графічні позначення мікросхем ЛА1..ЛА4.

Всі подальші різновиди мікросхем типу ЛА ... зокрема ЛА6, ЛА7, ЛА8, ... повторюють зазначені вище логічні елементи типу ЛА тільки з тою різницею, що на виходах таких елементів мікросхем містяться виходи з відкритим колектором, або вихід з підвищеною навантаженістю елементів.

На рис.1.4 наведено принципову схему елемента логіки 2АБО-НІ мікросхеми ЛЕ1 серії К155. Робота схеми аналогічна ЛР1 за виключенням того, що на вході використовуються одноемітерні транзистори VT1, VT2. Функція АБО реалізується включеними паралельно транзисторами VT3 і VT4. Якщо хоча би один з них відкритий, через резистори R3, R4 та транзистор VT5 протікає струм, який створює для транзистора VT6 закриваючий, а для VT7 – відкриваючий потенціал на базі, і на виході елемента встановлюється лог.0. Якщо ж VT3 і VT4 одночасно закриті, на виході встановлюється рівень лог.1.



На рис.1.5 наведені умовні графічні позначення таких мікросхем, а в табл.1.4 – основні параметри цих мікросхем різних серій ТТЛ і ТТЛШ – середня споживана потужність ($P_{\text{сер}}$) та середня затримка ($t_{\text{сер}}$).

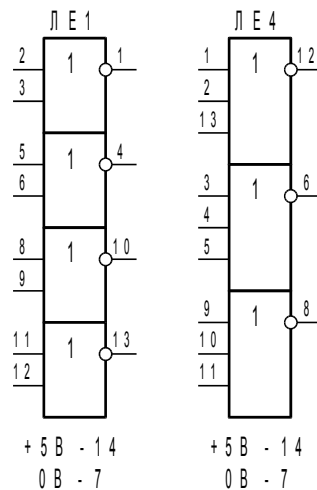


Рис.1.5. Умовні графічні позначення мікросхем ЛЕ1, ЛЕ4 .

Всі подальші різновиди мікросхем типу ЛЕ ... зокрема ЛЕ10, ЛЕ11 містять в мікросхемі чотири логічних елементи 2АБО-НЕ виходи якого є з відкритим колектором та відповідно з підвищеною навантаженістю елементів.

На рис. 1.5 приведені умовні графічні позначення мікросхем типу ЛІ1, ЛІЗ, ЛІ6.

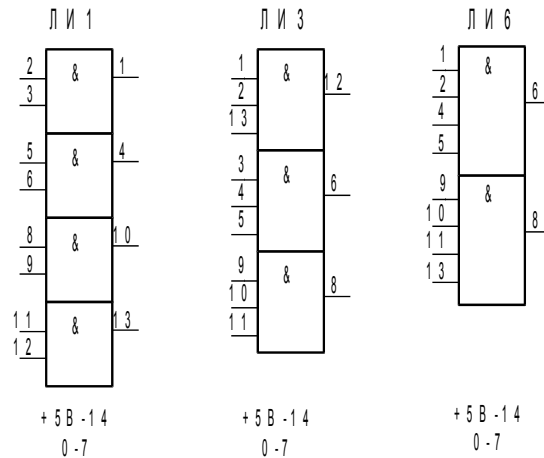


Рис.1.5. Умовні графічні позначення мікросхем ЛІ1, ЛІЗ, ЛІ6.

Таблиця 1.4

Позн. ІС	К155		К555		КР1533		КР531	
	Р _{сер,} мВт	t _{сер,} нс	Р _{сер,} мВт	t _{сер,} нс	Р _{сер,} мВт	t _{сер,} нс	Р _{сер,} мВт	t _{сер,} нс
ЛЕ1	135	19	34	20	16	11	190	6
ЛЕ4	130	13	33	15	-	-	-	-
ЛП5	250	33	55	23	30	13	190	10

Окрім того в серіях інтегральних мікросхем серії ТТЛ(ТТЛШ) мають місце різновиди типу ЛІ, зокрема ЛІ2, ЛІ4 та ЛІ8. Вони також повторюють відповідну первинну логіку логічних елементів типу ЛІ, з тією різницею, що вони мають на своїх виходах або відкриті колектори, або виходи з підвищеною навантаженістю.

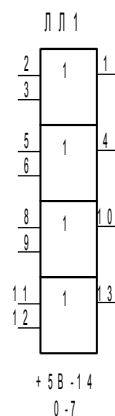


Рис.1.6. Умовні графічні позначення мікросхеми ЛЛ1.

На рис. 1.6 приведено умовне графічне позначення мікросхеми, що містить чотири логічні елементи 2АБО(4-2АБО).

Інтегральна мікросхема типу ЛЛ4 аналогічно по логічних елементах типу ЛЛ1, тільки виходи кожного елемента є з відкритим колектором..

Мікросхеми серії ТТЛ типу мультиплексерів являють собою групу комбінаційних схем, що реалізує комутацію, тобто під'єднання до виходу схеми сигнал одного з входів схеми. В залежності від конфігурації вхідного інтерфейсу розрізняють наступні типи мультиплексерів:

- тип КП1 забезпечує комутацію сигналу на вихід мікросхеми сигналу одного з 16 входів схеми;
- тип КП2 містить два блоки комутаторів, кожен з яких забезпечує комутацію сигналу на вихід мікросхеми сигналу одного з 4 входів;
- тип КП5 забезпечує комутацію сигналу на вихід мікросхеми сигналу одного з 8 входів схеми;
- тип КП11 містить чотири блоки комутаторів, кожен з яких забезпечує комутацію сигналу на вихід мікросхеми сигналу одного з 2 входів схеми;

На рис.1.7 наведено умовне графічне позначення інтегральної мікросхеми КП1

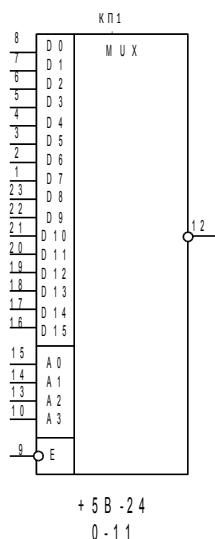


Рис. 1.7. Умовне графічне позначення мікросхеми КП1(SN74150)

Інтегральні мікросхеми типу дешифраторів представляють комбінаційну схему що реалізує функцію перетворення N-розрядного коду в M-розрядний, причому $N < M$.

Розрізняють наступні типи дешифраторів ИД1, ИД3, ..., ИД14, ИД18. Так відповідно:

- ИД1 реалізує функцію перетворення двійкового чотирьохрозрядного коду в одиничний десятирозрядний код,
- ИД3 реалізує функцію перетворення двійкового чотирьохрозрядного коду в одиничний шістнадцятирозрядний код,
- ИД4 містить в мікросхемі дві секції дешифраторів, кожен з яких перетворює дворозрядний двійковий код в одиничний чотирьохрозрядний код.

Різновиди мікросхем типу ИД7, ИД8, ИД10 повторюють відповідну реалізацію типів ИД1-ИД4, з тією ж різницею, що виходи мікросхем мають відкриті колектори або виходи містять розширення по навантаженню.

На рис. 1.8 наведено умовне графічне позначення мікросхеми серії ТТЛ типу ИД3.

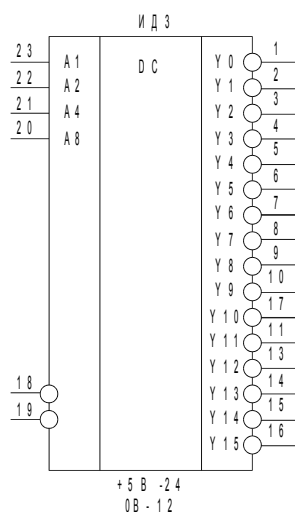


Рис. 1.8 .Умовне графічне позначення мікросхеми ИД3(SN74154)

Завдання до лабораторної роботи № 1

Порядок виконання лабораторної роботи.

1. Ознайомитись з інтегральними мікросхемами комбінаційної логіки вітчизняного та зарубіжного виробництва.
2. Скласти комбінаційну схему реалізації функцій ФАЛ згідно номера варіанту завдань, що приведений в ДОДАТКУ та у відповідності до номера прізвища студента у журнальному списку, при наступних реалізаціях:
 - для номерів 1,4,7,10,13,16,19,22,25,28,31-на мікросхемах комбінаційної логіки,
 - для номерів 2,5,8,11,14,17,20,23,26,29,32- з використанням мікросхем дешифраторів,
 - для номерів 3,6,9,12,15,18,21,24,27,30,33- з використанням мікросхем мультиплексерів.
3. Накреслити принципову схему реалізації заданої функції на елементах мікросхем комбінаційної логіки серії ТТЛШ у відповідності до стандартів (ГОСТ 2.743—91 та ПРАВИЛ ВИКОНАННЯ СХЕМ ЦИФРОВОЇ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ) та скласти перелік елементів схеми виконаних на листках формату А4 або А3 з відповідними кутовими штампами.
4. Накреслити часову діаграму роботи комбінаційної схеми реалізації заданої функції виконаних на листках формату А4 або А3, що передбачає формування вхідних та вихідних послідовностей сигналів та сигналів проміжних точок схеми.
5. Дослідження:
 - побудувати відповідну модель заданої комбінаційної схеми з використанням програми схемного проектування MultiSim чи інших засобів моделювання апаратних пристроїв,
 - дослідити роботу комбінаційної схеми шляхом побудови відповідної тестової перевірки її роботи, використавши відповідні інструменти формування вхідних послідовностей сигналів, такі як генератор

тактових імпульсів, генератор слова, дільники частоти та відповідні засоби контролю сигналів, як осцилографи та логічний аналізатор.

Додаток

1. $f = /a/b/c \vee /a/b/e \vee /abe \vee a/bce \vee b/ce \vee bc/d/e \vee bde$
2. $f = /bc/d/e \vee /ade \vee /b/ce \vee ac/de \vee bde$
3. $/f = a/d \vee b/c/e \vee /ac/e \vee /b/d \vee /ab/cd \vee /ab/e.$
4. $/f = /ae \vee b/e \vee bc \vee a/b/d \vee /b/c/d.$
5. $f = /a/bc/d \vee de \vee /a/ce \vee /b/cd \vee bcd$
6. $/f = ab \vee a/b/c \vee /c/d \vee /acd \vee bc/e$
7. $f = /a/cd/e \vee /ab/cd \vee cde \vee /bc/d/e$
8. $f = /a/bc/d \vee bcde \vee a/b/ce \vee a/c/de \vee ac/d/e$
9. $/f = /a/d \vee /a/be \vee /ac/e \vee b/e \vee a/c \vee /de$
10. $/f = /a/c \vee /bce \vee /ab/d \vee /c/e \vee b/cd \vee d/e$
11. $f = ad/e \vee acd \vee cde \vee /b/cd \vee /ab/de \vee abce.$
12. $f = ad/e \vee b/ce \vee /b/cd \vee /abde \vee /bc/de \vee ab/cd \vee a/bc/e.$
13. $f_2 = a/bd \vee /bde \vee ab/ce \vee /a/bc/e \vee /bd/e \vee a/cde.$
14. $/f = /ac/de \vee /ab/d \vee /c/e \vee d/e \vee a/bce \vee b/c/d \vee b/e$
15. $f_3 = a/bc \vee c/de \vee /bc/d \vee /a/cd. /f = /a/c/e \vee /ad/e \vee bc/d \vee a/bc \vee a/d$
16. $f_4 = /abde \vee /ac/d/e \vee b/cd \vee acd/e \vee a/b/de \vee ac/de \vee abd/e \vee /ac/d/e$
17. $/f = a/d/e \vee /ad/e \vee ace \vee /b/c/d \vee bc/d \vee /a/bcd \vee /bce.$
18. $/f = /a/b/c \vee /a/be \vee bc/e \vee b/c/d \vee a/d/e \vee ade \vee /b/cd \vee /acd$
19. $f = /b/d/e \vee /a/b/cd \vee a/bc \vee ab/cd \vee acd/e \vee abde$
20. $f = /a/c/d/e \vee /a/bde \vee abd/e \vee a/bc/de \vee abcd \vee abde$
21. $f = /ac/e \vee /a/ce \vee bd \vee ab/c \vee /cde \vee a/c/e \vee a/cd.$
22. $f = /a/ce \vee /abd/e \vee a/bc/de \vee b/cd$
23. $f = /(ace \vee /ab/d \vee /a/bd \vee a/bc \vee ac/d \vee a/b/de)$
24. $f = /(a/d/e \vee /bd/e \vee a/d/e \vee a/b/c \vee abc \vee acd \vee /ac/d \vee /a/bcd \vee bde)$
25. $f = /a/bd/e \vee /a/de \vee /bcd \vee /abe \vee abc$
26. $/f = /a/b/d \vee /b/ce \vee cd \vee /c/d/e \vee a/e \vee ab/d$
27. $f = /ab/c \vee /abd \vee a/b/ce \vee cd/e \vee b/c/de$

28. $f = /a/cd/e \vee b/ce \vee /ac/d/e \vee a/bc/de$

29. $f = /bce \vee b/ce \vee /ab/d/e \vee ae \vee a/bc$

30. $/f = /d/e \vee /b/ce \vee /ab/e \vee a/c \vee a/b/d$

31. $/f = /b/d \vee /a/be \vee c/d \vee /b/c/e \vee /d/e \vee b/cde \vee ace$

32. $f = /bc/de \vee /a/cd \vee a/bd \vee b/ce \vee ac/de$

33. $/f = /b/c/d \vee /d/e \vee /acd \vee /ab/d \vee abd$

34. $f = (/ab \vee b/d \vee /a/de \vee /acd \vee bce \vee a/b/cd \vee /ace \vee /ab/c)$

35. $f = (/a/de \vee /a/bc \vee /abe \vee /ac/d \vee /a/bd/e)$

Лабораторна робота № 2-3

Дослідження схем RS, універсальних D та JK тригерів на елементах ТТЛ (ТТЛШ) серій

Мета роботи: вивчення та практичне засвоєння принципів побудови RS, універсальних D та JK тригерів та його модифікацій на основі елементів логіки інтегральних мікросхем ТТЛ (ТТЛШ), дослідження їх роботи за допомогою стенда, або програми моделювання цифрових схем Electronics Workbench (Multisim).

Загальні відомості.

Тригер – це однорозрядний елемент пам'яті. Взагалі тригером називається пристрій, який може знаходитись в одному з двох стійких станів і переходить з одного стану в інший під впливом вхідного сигналу. Стан тригера визначається за вихідним сигналом Q. Як правило, тригери реалізуються з двома виходами – прямим Q та інверсним $\bar{Q}$. Стану тригера 1 відповідає лог.1 на виході Q та лог.0 на виході $\bar{Q}$ і навпаки. Тригер є базовим елементом пристроїв пам'яті і дозволяє зберігати один біт інформації.

Входи тригера поділяються на інформаційні та допоміжні (керуючі). Сигнали, що надходять на інформаційні входи, керують станом тригера. Сигнали на допоміжних входах використовуються для попереднього встановлення тригера в потрібний стан і для синхронізації. Допоміжні входи можуть використовуватись і в якості інформаційних. Число входів тригера залежить від його структури та призначення.

За способом прийому інформації тригери поділяються на асинхронні та синхронні. Асинхронні тригери сприймають інформаційні сигнали та реагують на них в момент їх появи на входах тригера. Синхронні тригери реагують на інформаційні сигнали при наявності дозволяючого сигналу на спеціальному

керуючому вході С, який називається входом синхронізації. Синхронні тригери поділяються на тригери із статичним та динамічним керуванням по входу С. Тригери із статичним керуванням сприймають інформаційні сигнали при подаванні на С-вхід рівня лог.1 (прямий С-вхід) або лог.0 (інверсний С-вхід). Тригери з динамічним керуванням сприймають інформаційні сигнали при зміні сигналу на С-вході від 0 до 1 (прямий динамічний С-вхід) або від 1 до 0 (інверсний динамічний С-вхід).

За принципом побудови тригери із статичним керуванням можна поділити на одноступеневі та двоступеневі. Одноступеневі тригери характеризуються наявністю однієї ступені запам'ятовування інформації. В двоступеневих тригерах є дві ступені запам'ятовування інформації – спочатку інформація записується у першу ступінь, потім переписується в другу і з'являється на виході.

За функціональними можливостями розділяють:

- тригери із роздільним встановленням станів 0 та 1 (RS-тригери);
- тригери із прийомом інформації по одному входу D (D-тригери або тригери затримок);
- тригери із лічильним входом Т (Т-тригери);
- універсальні тригери з інформаційними входами J і К (JK-тригери).

На рис.2.1 наведені умовне графічне позначення та монтажна схема асинхронного RS-тригера з інверсними входами. Цей тригер побудований на двох логічних елементах І-НІ. В табл.2.1 наведена таблиця станів цього тригера.

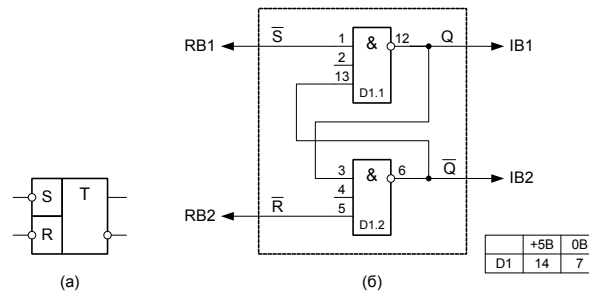


Рис.2.1. Умовне графічне позначення (а) та монтажна схема (б) RS-тригера.

Таблиця 2.1

Входи		Виходи		Режим роботи
$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$	
0	0	1	1	заборонено
0	1	0	1	скидання в 0
1	0	1	0	встановлення 1
1	1	без змін		зберігання

Синхронний RS-тригер із статичним керуванням (RSC-тригер), наведений на рис.2.2, відрізняється від асинхронного наявністю С-входу, на який подаються синхронізуючі (тактові сигнали). Синхронний тригер складається з асинхронного RS-тригера та комбінаційного цифрового пристрою з трьома входами S, C, R і двома виходами. При $C=0$ вхідні логічні елементи блоковані, сигнали на їх виходах дорівнюють 1 і не залежать від сигналів на входах S і R. В табл.2.2 наведена таблиця станів RSC-тригера.

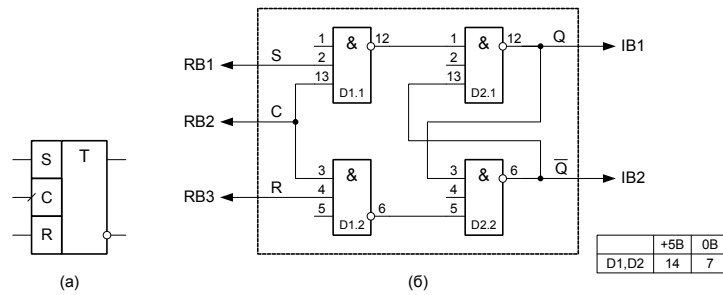


Рис.2.2. Умовне графічне позначення (а) та монтажна схема (б) RSC-тригера.

Таблиця 2.2

Входи			Виходи		Режим роботи
R	S	C	Q	$\bar{Q}$	
x	x	0	без змін		зберігання
0	0	x	без змін		зберігання
0	1	↑	1	0	встановлення 1
0	1	1	1	0	утримання 1
1	0	↑	0	1	скидання в 0
1	0	1	0	1	утримання 0
1	1	1	1	1	заборонено

D-тригер або тригер із затримкою має один інформаційний вхід D та один вхід для синхронізації C. D-тригер, наведений на рис.2.3, побудований на основі RSC-тригера шляхом з'єднання входів R і S через інвертор для отримання входу D. Інформація, що надходить на вхід D, записується в тригер по додатньому перепаду сигналу на вході C. В табл.2.3 наведена таблиця станів D-тригера.

Входи		Виходи		Режим роботи
D	C	Q	$\overline{Q}$	
x	0	без змін		зберігання
0	↑	0	1	запис 0
1	↑	1	0	запис 1

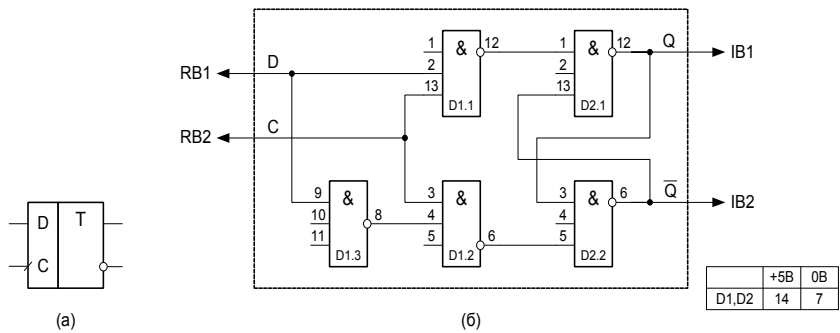


Рис.2.3. Умовне графічне позначення (а) та монтажна схема (б) D-тригера на базі RSC-тригера.

Найбільш універсальними є JK-тригери, які були винайдені американським інженером Джеком Кілбі (Jack Kilby). На рис.2.4 наведені умовне графічне позначення та монтажна схема найпростішого JK-тригера, побудованого на основі RSC-тригера за допомогою двох додаткових зворотних зв'язків. Він працює аналогічно RSC-тригеру за виключенням того, що в нього відсутні заборонені комбінації входів. Нижче наведена таблиця станів JK-тригера.

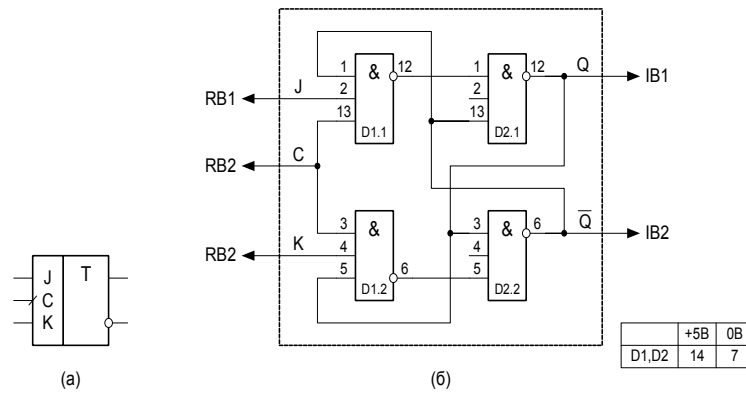


Рис.2.4. Умовне графічне позначення (а) та монтажна схема (б) JK-тригера на базі RSC-тригера.

Таблиця 2.4

Входи			Виходи		Режим роботи
J	K	C	Q	$\bar{Q}$	
x	x	0	без змін		зберігання
0	0	x	без змін		зберігання
0	1	↑	0	1	запис 0
1	0	↑	1	0	запис 1
1	1	↑	$\bar{Q}$	Q	переключення

Для надійної та чіткої роботи тригерних комірок в багаторозрядних пристроях (регістрах, лічильниках) використовуються двоступеневі тригери, які називаються “Master-Slave”. На рис.5.5 наведена структурна схема, а на рис.5.6 – монтажна схема такого тригера. Тригер “Master-Slave” складається з двох RSC-тригерів, включених послідовно. Входи C обох RSC-тригерів з’єднані між собою через інвертор. Складовим тригером “Master-Slave” керує повний (з

фронтом і зрізом) тактовий імпульс C. Вхідна комбінація з входів R і S буде записана в перший RSC-тригер в момент приходу першого додатнього перепаду тактового імпульсу C. В цей момент в другий RSC-тригер інформація попасти не може. По від’ємному перепаду тактового імпульсу на виході інвертора з’явиться додатній перепад, який переписе інформацію з виходів першого тригера в другий. В табл.5.5 наведена таблиця станів двоступеневого RSC-тригера.

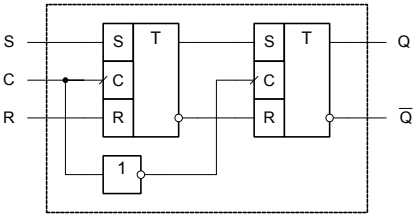


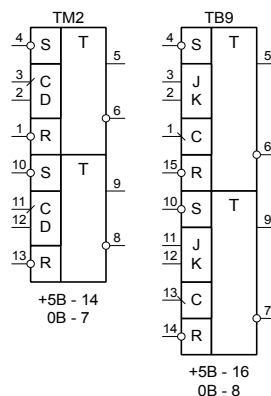
Рис.2.5. Структурна схема тригера “Master-Slave” на базі RSC-тригерів.

Таблица 2.5

Входи			Виходи 1-го тригера		Виходи 2-го тригера		Режим роботи
R	S	C	Q1	$\overline{Q_1}$	Q2	$\overline{Q_2}$	
x	x	0	без змін		без змін		зберігання
0	0	x	без змін		без змін		
0	1	↑	1	0	без змін		встановлення 1
0	1	↓	без змін		1	0	
1	0	↑	0	1	без змін		скидання в 0
1	0	↓	без змін		0	1	
1	0	↑	1	1	без змін		заборонено

	+5B	0B
D1 - D3	14	7

На рис.2.7 наведено умовні графічні позначення мікросхем тригерів ТТЛ (ТТЛШ) TM2 (SN7474) і TB9 (SN74112).



Мікросхема ТМ2 містить два незалежних універсальних D-тригера, які мають загальне коло живлення. Кожний тригер має входи D, C, $\bar{S}$ і $\bar{R}$ та виходи Q і $\bar{Q}$ (рис.2.8). Входи $\bar{S}$ і $\bar{R}$ асинхронні, оскільки вони спрацьовують незалежно від сигналу на тактовому вході. Сигнал від входу D передається на

виходи Q та $\bar{Q}$ по додатньому перепаду імпульса на тактовому вході C . Для того, щоби тригер переключився правильно, рівень на вході D слід зафіксувати завчасно перед приходом тактового перепаду. Захисний інтервал повинен перевищувати час затримки розповсюдження сигналу в тригері. При асинхронному завантаженні входи D і C тригера відключені і стан тригера визначається рівнями сигналів на входах $\bar{S}$ і $\bar{R}$. В табл.2.5 наведена таблиця станів D-тригера TM2.

Таблиця 2.5

Входи				Виходи		Режим роботи
$\bar{R}$	$\bar{S}$	D	C	Q	$\bar{Q}$	
0	0	x	x	1	1	заборонено
0	1	x	x	0	1	скидання в 0
1	0	x	x	1	0	встановлення в 1
1	1	0	↑	0	1	запис 0
1	1	1	↑	1	0	запис 1

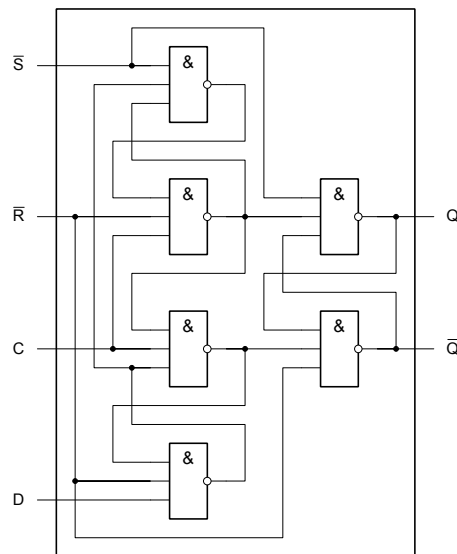


Рис.2.8. Функціональна схема D-тригера мікросхеми TM2.

Мікросхема ТВ9 містить два незалежних JK-тригера, які мають загальне коло живлення. Кожний тригер має входи J, K, C і $\overline{R}$ та виходи Q і $\overline{Q}$ (рис.2.9). Дані в кожному тригері переносяться від входів до виходів по від'ємному перепаду тактового імпульсу C. Під час переходу імпульсу на вході C від 1 до 0 сигнали на входах J і K змінюватись на повинні. Дані від входів J і K слід завантажувати в тригер, коли на вході сигнал C=1. При $\overline{R}=0$ відбувається асинхронне скидання тригера в 0 незалежно від станів решти входів, а при $\overline{S}=0$ – асинхронне встановлення тригера в 1. В табл.2.6 наведена таблиця станів JK-тригера ТВ9.

Таблиця 2.6

Входи					Виходи		Режим роботи
$\overline{R}$	$\overline{S}$	J	K	C	Q	$\overline{Q}$	

0	1	x	x	x	0	1	скидання в 0
1	0	x	x	x	1	0	встановлення в 1
1	1	0	0	↓	без змін		зберігання
1	1	0	1	↓	0	1	запис 0
1	1	1	0	↓	1	0	запис 1
1	1	1	1	↓	$\bar{q}$	q	переключення

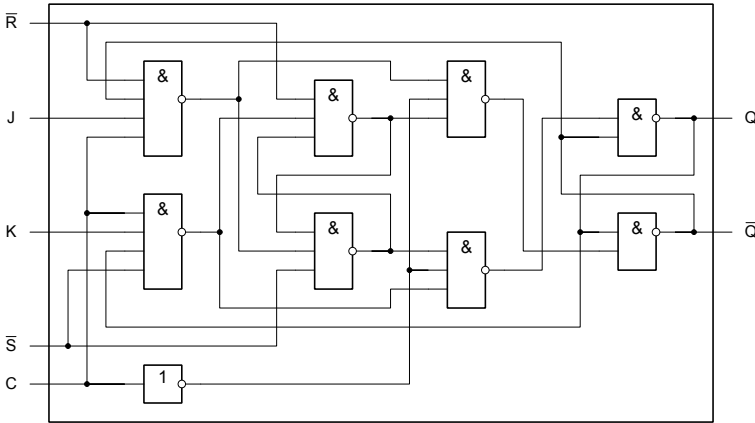


Рис.2.9. Функціональна схема JK-тригера мікросхеми ТВ9.

В табл.2.7 наведено основні параметри цих мікросхем різних серій ТТЛ і ТТЛШ – середня споживана потужність ($P_{сеп}$) та середня затримка ($t_{сеп}$). Аналоги логічних мікросхем (K155 - SN74, K555 - 74LS, K1533 - 74ALS, K1531 - 74F)

Таблиця 2.7

Позн.	K155(SN74)	K555	KP1533	KP531
-------	------------	------	--------	-------

IC	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс
TM2(74)	157	33	44	32	20	16	125	9
TB9(112)	-	-	22	25	-	-	250	7

В лабораторній роботі проводиться дослідження роботи універсальних D та JK тригерів в інтегральному виконанні та реалізованих на логічних елементах як в статичному, так і в лічильному режимі.

На рис.2.10(а) наведена монтажна схема включення універсального D-тригера, реалізованого на елементах логіки мікросхем ЛА4 D1 і D2, а на рис.2.10(б) – монтажна схема інтегрального D-тригера TM2 в статичному режимі.

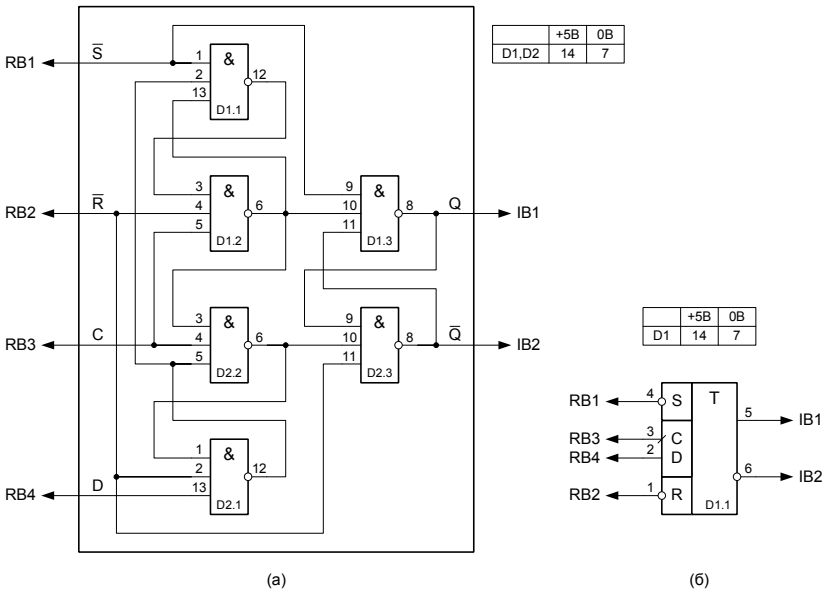


Рис.2.10. Монтажні схеми включення універсального D-тригера для дослідження в статичному режимі.

Для того, щоби включити універсальний D-тригер типу TM2 в лічильний режим, необхідно його D-вхід з'єднати з виходом $\bar{Q}$. Тоді по

кожному додатньому перепаду синхроімпульсу на С-вході стан тригера буде змінюватися на протилежний.

На рис.6.5(а) та 6.6(а) наведено монтажні схеми включення універсального D-тригера в лічильному режимі, реалізованого на елементах логіки ЛА4 та в інтегральному виконанні, а на рис.2.11(б) і 2.11(б) – часові діаграми входних та вихідних сигналів цих схем відповідно. Реалізація D-тригера на логічних елементах на рис.6.5(а) дозволяє дослідити не тільки входні та вихідні сигнали, але і всі проміжні сигнали тригера.

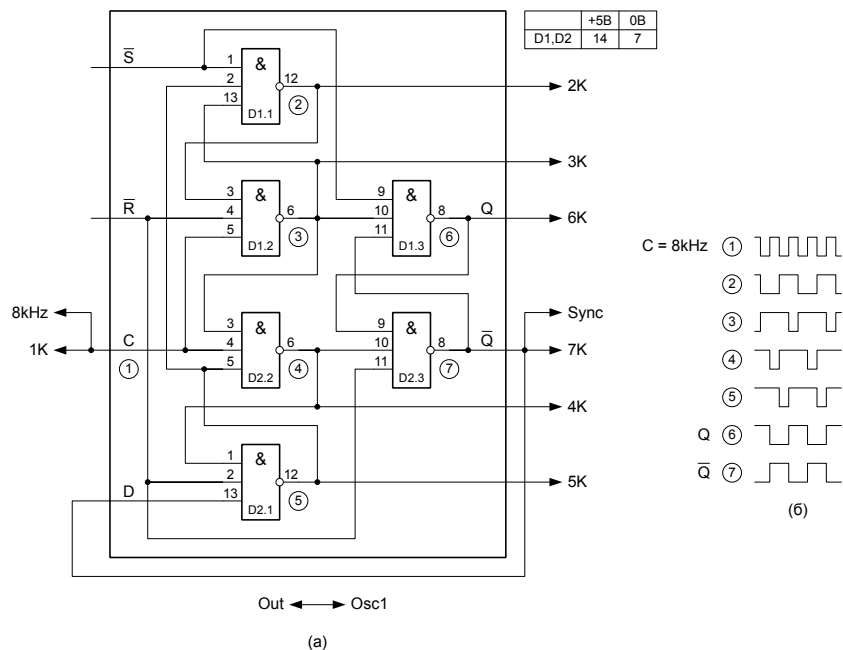


Рис.2.11. Монтажна схема включення універсального D-тригера на мікросхемах ЛА4 в лічильному режимі (а) і часові діаграми входних та вихідних сигналів (б).

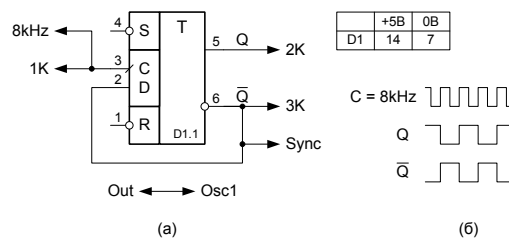


Рис.2.11. Монтажна схема включення універсального D-тригера на мікросхемі ТМ2 в лічильному режимі (а) і часові діаграми входних та вихідних сигналів (б).

На рис.2.12(а) наведено монтажну схему включення універсального JK-тригера, реалізованого на елементах логіки мікросхем ЛА4 D1..D3, а на рис.2.12(б) – монтажну схему інтегрального JK-тригера ТВ9 в статичному режимі. В схемі на рис.6.7(а) виключені кола скидання та встановлення тригера ($\bar{R}$ і $\bar{S}$), оскільки їх реалізація вимагає використання додаткових мікросхем, що ускладнює монтажну схему.

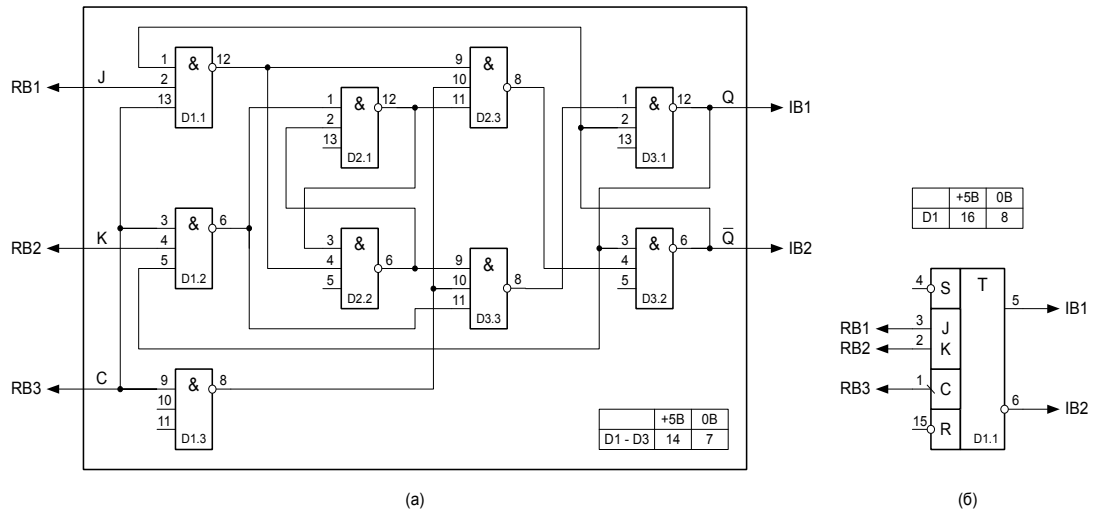


Рис.2.12. Монтажні схеми включення універсального JK-тригера для дослідження в статичному режимі.

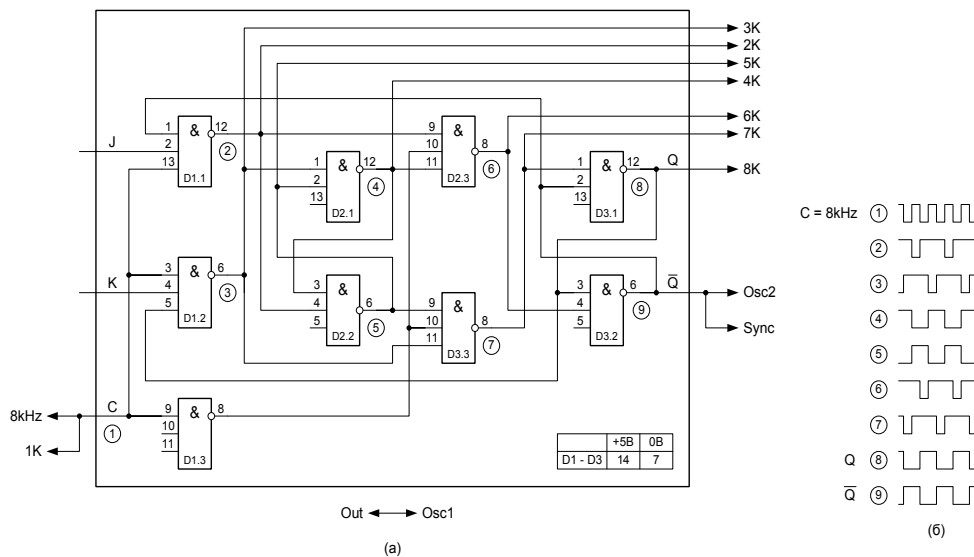


Рис.2.12. Монтажна схема включення універсального JK-тригера на мікросхемах ЛА4 в лічильному режимі (а) і часові діаграми вхідних та вихідних сигналів (б).

JK-тригер працює в лічильному режимі при одночасному поданні лог.1 на його входи J і K (режим “переключення”). По кожному від’ємному перепаду синхроімпульсу на вході C стан тригера змінюється на протилежний.

На рис.6.8(а) та 6.9(а) наведені схеми включення універсального JK-тригера в лічильному режимі, реалізованого на елементах логіки ЛА4 та в інтегральному виконанні ТВ9, а на рис.6.8(б) і 6.9(б) – часові діаграми входних та вихідних сигналів цих схем відповідно.

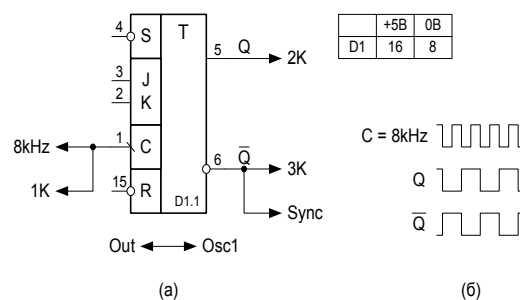


Рис.2.13. Монтажна схема включення універсального JK-тригера на мікросхемі ТВ9 (а) та часова діаграма(б).

Завдання до лабораторної роботи № 2-3

Порядок виконання лабораторної роботи.

- Ознайомитись з мікросхемами тригерів вітчизняного та зарубіжного виробництва.
- Скласти схеми реалізації універсального паралельно-послідовного восьмирозрядного регістра на основі відповідно мікросхем JK і D тригерів
- Накреслити принципову схему реалізації універсального паралельно-послідовного восьмирозрядного регістра на основі відповідно мікросхем JK та D тригерів у відповідності до стандартів (ГОСТ 2.743—91 та ПРАВИЛ ВИКОНАННЯ СХЕМ ЦИФРОВОЇ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ) та скласти

перелік елементів схеми виконаних на листках формату А4 або А3 з відповідними кутовими штампами.

9. Накреслити часову діаграму роботи реалізації універсального паралельно-послідовного восьмирозрядного регістра виконаних на основі однієї з груп мікросхем JK або D тригерів, задавши вхідний вісьмирозрядний код даних паралельного запису у відповідності до вибраного варіанту завдання, виконаних на листках формату А4 або А3 з відповідними кутовими штампами.

10. Побудувати модель заданої комбінаційної схеми з використанням програми схемного проектування MultiSim та здійснити відповідну тестову перевірку її роботи, задавши вхідний вісьмирозрядний код даних паралельного запису у відповідності до вибраного варіанту завдання, використавши відповідні інструменти, як генератор тактових імпульсів, дільники частоти та осцилоскопи.

Варіанти завдань лабораторної роботи № 2-3.

Восьмирозрядний код формується як десяткове число , що утворюється наступним чином за формулою:

$$\underline{A_{10}=k*N+128,}$$

де , N-порядковий номер у журнальному списку, а k-коефіцієнт пропорційності, який приймає наступні значення:

k=5, якщо N=від 1 до 9,

k=3, якщо N=від 10 до 19,

k=1, якщо N=від 20 до 29

Зміст звіту.

1. Накреслити умовні графічні позначення використаних мікросхем тригерів та їх основні технічні характеристики.
2. Принципові схеми реалізації регістра на мікросхемах групи JK і D тригерів.
3. Часова діаграма роботи універсального паралельно-послідовного восьмирозрядного регістра.
4. Часові діаграми роботи моделі універсального паралельно-послідовного восьмирозрядного регістра (вхідна та вихідна послідовності засобами MultiSim).

Висновки

Лабораторна робота № 4

Дослідження регістрів ІС ТТЛ (ТТЛШ).

Мета роботи: вивчення та практичне дослідження інтегральних мікросхем ТТЛ (ТТЛШ) групи регістрів, контролювання їх роботи за допомогою стенда та осцилоскопа.

Загальні відомості.

Регістри – це послідовнісні пристрої, призначені для прийому, збереження, простих перетворень та передачі двійкових кодів. Під простими перетвореннями розуміють зсув кодів на задану кількість розрядів, а також перетворення послідовного двійкового коду в паралельний і паралельного в послідовний. Базовими елементами регістрів є тригери, які доповнюються комбінаційними логічними елементами для реалізації певних зв'язків між розрядами регістра і для керування прийомом та передачею операндів. Одне з функціональних призначень регістрів – оперативна пам'ять для багаторозрядних двійкових кодів.

В залежності від способу прийому і передачі двійкової інформації розрізняють паралельні, послідовні, послідовно-паралельні, паралельно-послідовні та універсальні регістри.

В паралельних регістрах або регістрах пам'яті ввід-вивід усіх розрядів коду відбувається одночасно за один такт. Для побудови n-розрядного регістра пам'яті потрібно n тригерів. Крім того деякі регістри цього типу забезпечують режими відключення виходів (встановлення у високоімпедансний стан) від загальної інформаційної шини.

В послідовних регістрах ввід-вивід інформації здійснюється через один інформаційний вхід і один вихід порозрядно із зсувом коду. Тому послідовні регістри називають регістрами зсуву. За один такт інформація, що вводиться або виводиться зсувається на один розряд вправо або вліво. Регістри зсуву, що реалізують по команді керування зсуви інформації вправо або вліво, називають реверсивними.

Послідовно-паралельні регістри мають один інформаційний вхід для послідовного вводу числа в режимі зсуву і вихідні вентиля для видачі n -розрядного числа паралельним кодом. Такі регістри виконують перетворення послідовного коду в паралельний.

В паралельно-послідовні регістри інформація вводиться паралельним кодом за один такт через тактовані вхідні вентиля, а виводиться з них послідовно по одному розряду в кожному тактовому інтервалі. Таким чином реалізується операція перетворення паралельного коду в послідовний.

Універсальні регістри поєднують в собі можливості вищеперерахованих типів регістрів.

На рис.4.1 наведено умовні графічні позначення деяких ІС ТТЛ і ТТЛШІ регістрів, а в табл.4.1 – основні параметри цих мікросхем регістрів різних серій ТТЛ (ТТЛШІ) – середня споживана потужність ($P_{сер}$) та середня затримка ($t_{сер}$).

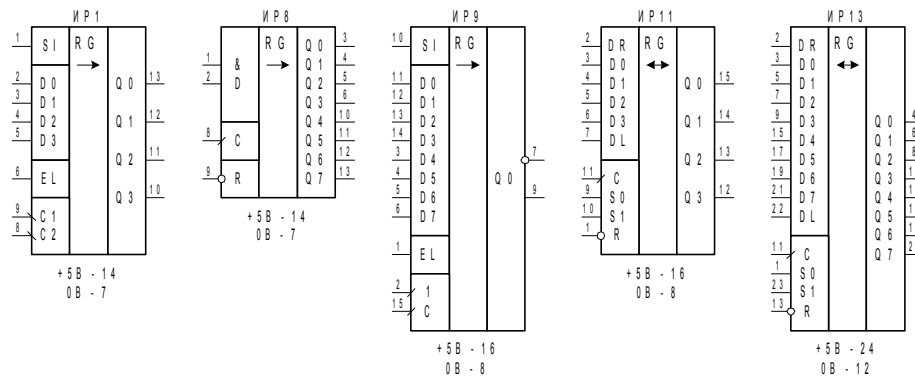


Рис.4.1. Умовні графічні позначення регістрів ІС ТТЛ (ТТЛШІ).

Таблиця 4.1.

Позн. ІС	К155		К555		КР531	
	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс
ИР1	410	35	-	-	-	-
ИР8	-	-	148	32	-	-
ИР9	-	-	198	32	-	-
ИР11	-	-	127	24	670	18
ИР13	580	30	-	-	-	-

Мікросхема ІР1 – це універсальний 4-розрядний регістр зсуву, який дозволяє здійснювати послідовний і паралельний запис інформації в тригери регістра, послідовне і паралельне зчитування інформації та зсув інформації. Він має послідовний вхід даних SI, чотири паралельних входи D0..D3, а також чотири виходи Q0..Q3 від кожного з тригерів. Регістр має також два тактових входи C1 і C2. Інформація на виходи від будь-якого з п'яти входів даних надійде синхронно з від'ємним перепадом, поданим на вибраний тактовий вхід.

Вхід дозволу паралельного завантаження EL використовується для вибору режиму роботи регістра. Якщо на вхід EL подається лог.1, дозволяється робота по тактовому входу C2. В момент приходу на цей вхід від'ємного перепаду тактового імпульса в регістр завантажуються дані від паралельних входів D0..D3.

Якщо на вхід EL подано лог.0, дозволяється робота по тактовому входу C1. Від'ємні фронти послідовності тактових імпульсів зсувають дані від послідовного входу SI на вихід Q0, потім на Q1, Q2 і Q3, тобто вправо. Зсув даних по регістру вліво можна здійснити, якщо з'єднати вихід Q3 і вхід D2, Q2 і D1, Q1 і D0. При цьому регістр потрібно перевести в паралельний режим, подавши на вхід EL лог.1. Напругу на вході EL можна змінювати, тільки якщо на обох тактових входах лог.0. Однак, якщо на вході C1 лог.1, зміна сигналу на вході EL від 0 до 1 не змінює станів виходів.

В табл.4.2 зведені режими роботи регістра ІР1.

Таблиця 4.2.

Режими Роботи	Входи					Виходи			
	EL	C2	C1	SI	D _n	Q0	Q1	Q2	Q3
Паралельний запис	1	↓	x	x	d _n	d ₀	d ₁	d ₂	d ₃
Зсув вправо	0	x	↓	V	x	V	q ₀	q ₁	q ₂
Збереження	0	0	1	x	x	q ₀	q ₁	q ₂	q ₃
	1	1	x	x	x	q ₀	q ₁	q ₂	q ₃
	↑	0	0	x	x	q ₀	q ₁	q ₂	q ₃
	↓	0	0	x	x	q ₀	q ₁	q ₂	q ₃
	↓	0	1	x	x	q ₀	q ₁	q ₂	q ₃
	↑	1	0	x	x	q ₀	q ₁	q ₂	q ₃

	↑	1	1	x	x	q_0	q_1	q_2	q_3
--	---	---	---	---	---	-------	-------	-------	-------

Таблиця 13.3.

Режими роботи	Входи				Виходи							
	$\bar{R}$	C	D(1)	D(2)	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
Скидання	0	x	x	x	0	0	0	0	0	0	0	0
Зсув вправо	1	↑	0	0	0	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆
	1	↑	0	1	0	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆
	1	↑	1	0	0	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆
	1	↑	1	1	1	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆
Збереження	1	0	x	x	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆	q ₇
	1	1	x	x	q ₀	q ₁	q ₂	q ₃	q ₄	q ₅	q ₆	q ₇

Мікросхема ІР8 – це 8-розрядний регістр зсуву. Вона має вхід С для подавання тактових імпульсів зсуву, вхід скидання $\bar{R}$, два рівноправних входи D для подавання інформації, що зсувається, з'єднаних по І (виводи 1 і 2), і вісім виходів. Обнулення тригерів регістра здійснюється подаванням лог.0 на вхід $\bar{R}$. Прийом інформації з входів D та її зсув в бік виходів з більшими номерами відбуваються по додатньому фронту тактового імпульсу на вході С.

Мікросхему ІР8 зручно використовувати для перетворення інформації, що надходить в послідовному коді в паралельний.

В табл.4.3 зведені режими роботи регістра ІР8.

Мікросхема ІР9 – це 8-розрядний регістр зсуву з можливістю асинхронного паралельного запису і послідовним зчитуванням. Мікросхема має вхід SI для подавання інформації при послідовному записуванні, вісім входів D0..D7 для подавання інформації при паралельному записуванні, два рівноправних входи С для подавання тактових імпульсів, включених по АБО (виводи 2 і 15), вхід дозволу паралельного запису EL і прямий та інверсний виходи останнього розряду регістра зсуву QO та $\overline{QO}$.

Переключення тригерів регістра відбувається по додатньому фронту тактового імпульсу на будь-якому з входів С при лог.0 на іншому. Подавання лог.1 на один з тактових входів забороняє переключення тригерів при подаванні імпульсів на інший вхід. Режим роботи регістра визначається сигналом, поданим на вхід EL: при лог.1 по додатніх фронтах імпульсів на входах С відбувається послідовний запис інформації, що надходить на вхід SI,

із зсувом вмісту регістру до старших розрядів, а при лог.0 – відбувається паралельний запис інформації з входів D0..D7 в тригери регістра.

Мікросхему IP9 зручно застосовувати для перетворення паралельного коду в послідовний. Наявність двох входів для подавання тактових імпульсів дозволяє використовувати один з них як вхід дозволу роботи регістру, а інший для виконання зсуву або запису.

В табл.4.4 зведені режими роботи регістра IP9.

Таблиця 4.4.

Режими роботи	Входи					Виходи	
	EL	C(2)	C(15)	SI	D _n	QO	$\overline{QO}$
Паралельний запис	0	↑	0	x	d _n	d ₇	$\overline{d_7}$
	0	0	↑	x	d _n	d ₇	$\overline{d_7}$
Зсув вправо	1	↑	0	s	x	q ₆	$\overline{q_6}$
	1	0	↑	s	x	q ₆	$\overline{q_6}$
Збереження	x	1	x	x	x	q ₇	$\overline{q_7}$
	x	x	1	x	x	q ₇	$\overline{q_7}$

Мікросхема IP11 – універсальний 4-розрядний реверсивний регістр зсуву, який дозволяє як паралельний запис інформації, так і її зсув вправо і вліво. Він має входи D0..D3 – для подавання інформації при паралельному записуванні, DR – для послідовного записування із зсувом вправо, DL – для послідовного записування із зсувом вліво, S0 і S1 – керуючі, C – для подавання тактових імпульсів і $\overline{R}$ – для скидання.

При подаванні лог.0 на вхід $\overline{R}$ відбувається скидання тригерів регістра в 0. При лог.1 на вході $\overline{R}$ режим роботи визначається керуючими сигналами на входах S0 і S1. При лог.1 на вході S0 і лог.0 на вході S1 по додатньому фронту тактового імпульсу на вході C відбувається послідовний прийом інформації з входу DR в 0-й розряд регістра і зсув вправо. При лог.1 на вході S1 і лог.0 на вході S0 відбувається послідовний прийом інформації з входу DL в 7-й розряд регістра і зсув вліво. При лог.1 на обох входах S0 і S1 по додатньому фронту тактового імпульсу на вході C відбувається паралельний запис інформації з

входів D0..D3. Якщо на входах S0 і S1 лог.0 регістр знаходиться в режимі збереження інформації.

В табл.4.5 зведені режими роботи регістра IP11.

Таблиця 4.5.

Режим роботи	Входи							Виходи			
	C	$\bar{R}$	S1	S0	DR	DL	D _n	Q0	Q1	Q2	Q3
Скидання	x	0	x	x	x	x	x	0	0	0	0
Збереження	x	1	0	0	x	x	x	q ₀	q ₁	q ₂	q ₃
Зсув вправо	↑	1	0	1	V	x	x	V	q ₀	q ₁	q ₂
Зсув вліво	↑	1	1	0	x	V	x	q ₁	q ₂	q ₃	V
Паралельний запис	↑	1	1	1	x	x	d _n	d ₀	d ₁	d ₂	d ₃

Таблиця 4.6.

Режим роботи	Входи							Виходи		
	C	$\bar{R}$	S1	S0	D R	DL	D _n	Q0	Q1..Q6	Q7
Скидання	x	0	x	x	x	x	x	0	0..0	0
Збереження	x	1	0	0	x	x	x	q ₀	q ₁ .. q ₆	q ₇
Зсув вправо	↑	1	0	1	V	x	x	V	q ₀ .. q ₅	q ₆
Зсув вліво	↑	1	1	0	x	V	x	q ₁	q ₂ .. q ₇	V
Паралельний запис	↑	1	1	1	x	x	d _n	d ₀	d ₁ .. d ₆	d ₇

Мікросхема IP13 – це універсальний 8-розрядний реверсивний регістр зсуву. Він має 8 виходів паралельного коду Q0..Q7 і наступні входи: D0..D7 – для подавання інформації при паралельному записуванні, DR і DL – для подавання послідовної інформації і зсуві вправо і вліво відповідно, C – для подавання тактових імпульсів, S0 і S1 – для керування режимом і $\bar{R}$ – для скидання тригерів регістра.

При подаванні на вхід $\bar{R}$ лог.0 відбувається скидання всіх тригерів регістра незалежно від станів інших входів. Будь-які інші зміни станів регістра відбуваються лише по додатньому фронту тактового імпульса на вході C. При лог.1 на вході S0 і лог.0 на вході S1 відбувається послідовний прийом інформації з входу DR в 0-й розряд регістра і зсув вправо. При лог.1 на вході S1

і лог.0 на вході S0 відбувається послідовний прийом інформації з входу DL в 7-й розряд регістра і зсув вліво. Якщо ж лог.1 подається на обидва входи S0 і S1, то відбувається паралельний запис в регістр інформації з входів D0..D7. Подання лог.0 на обидва входи S0 і S1 блокує тактові імпульси, що подаються на вхід C і регістр переводиться в режим збереження.

В табл.4.6 зведені режими роботи регістра ІР13.

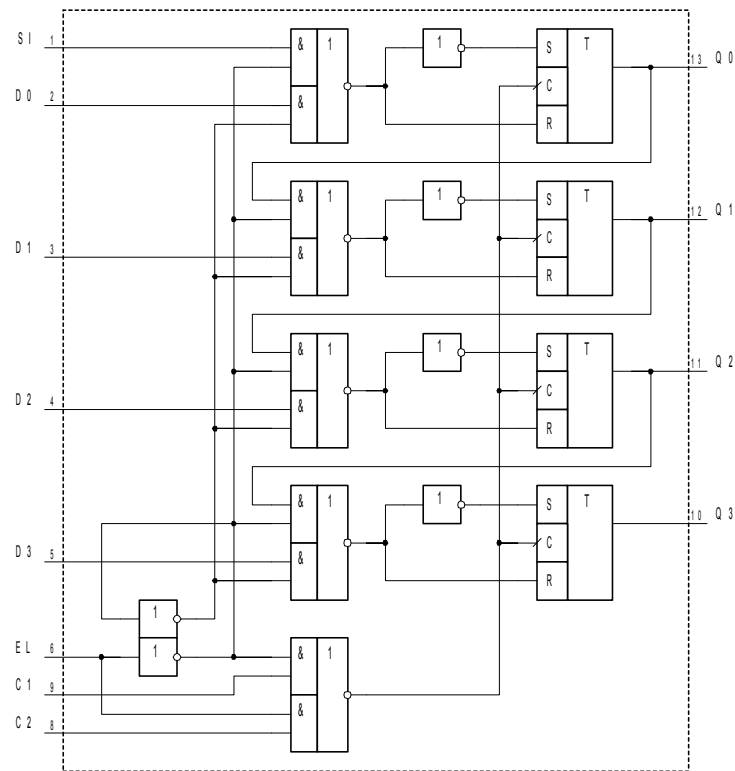


Рис.4.2. Принципова схема регістра типу K155ІР1.

В лабораторній роботі досліджується мікросхема регістра K155ІР1. На рис.13.2 наведено його принципову схему.

Використовуючи режим зсуву регістра ІР1 і створюючи відповідні зворотні зв'язки, можна організовувати на його базі подільники частоти з коефіцієнтами перерахунку від 2 до 8. При цьому на вхід EL регістра подається лог.0, а імпульси вхідної частоти надходять на тактовий вхід C1. До входу SI підключається схема зворотнього зв'язку, а стани входів C2 і D0..D3 в цьому режимі не мають значення, оскільки не впливають на роботу схеми.

При створенні подільника частоти на 2, 4, 6, або 8 на вхід SI через інвертор підключається відповідний вихідний розряд регістра (Q0, Q1, Q2 або Q3). При створенні подільника частоти на 3, 5 і 7 в коло зворотнього зв'язку

замість інвертора включається логічний елемент І-НІ, на входи якого сигнали надходять з виходів розрядів Q0 і Q1 (при діленні на 3), Q1 і Q2 (при діленні на 5) і Q2 і Q3 (при діленні на 7). Сигнали, що отримуються на виходах регістра Q0, Q1, Q2 і Q3 однакові за формою і відрізняються лише фазою.

На рис.13.3(а) наведено приклад монтажною схеми включення регістра K155IP1 при створенні подільника частоти на 7, а на рис.4.3(б) – часові діаграми вхідних та вихідних сигналів цієї схеми. В схемі використані дві мікросхеми: мікросхема D1 K155ЛА4, один логічний елемент якої використовується в колі зворотнього зв'язку, і власне досліджувальний регістр D2 K155IP1.

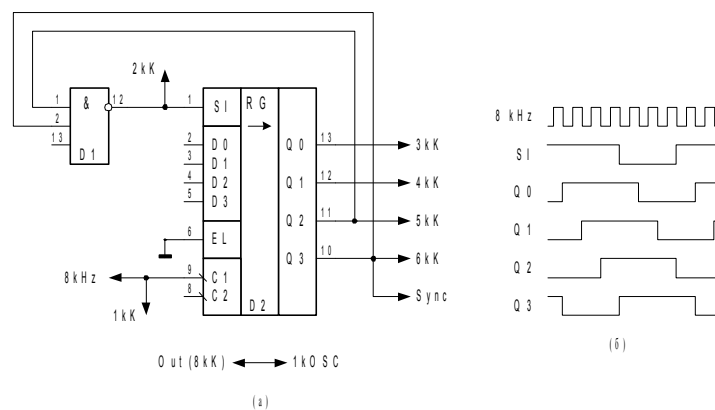


Рис.4.3. Монтажна схема включення регістра типу K155IP1 в режимі подільника частоти на 7 (а) і часові діаграми вхідних та вихідних сигналів (б).

Завдання до лабораторної роботи № 4.

Порядок виконання лабораторної роботи.

1. Увімкнути живлення осцилоскопа та стенда.
2. Скласти на стенді монтажну схему включення регістра типу K155IP1 в статичному режимі (підготувати самостійно) та перевірити режими його роботи згідно табл.4.1.
3. Скласти на стенді монтажну схему включення регістра типу K155IP1 в режимі подільника на 7 згідно рис.4.3 (а).

4. Спостерігати на екрані осцилоскопа часові діаграми часові діаграми вхідних та вихідних сигналів регістра типу K155IP1 в режимі подільника на 7, порівняти їх з діаграмами в зошиті (рис.4.3(б)).
5. Скласти на стенді монтажну схему включення регістра типу K155IP1 в режимі подільника частоти з коефіцієнтом перерахунку згідно індивідуального завдання.
6. Спостерігати на екрані осцилоскопа часові діаграми часові діаграми вхідних та вихідних сигналів регістра типу K155IP1, порівняти їх з діаграмами в зошиті.
7. Вимкнути живлення осцилоскопа і стенда.

Зміст звіту.

1. Умовні графічні позначення досліджуваних мікросхем та їх основні технічні характеристики.
2. Принципова схема регістра типу K155IP1 і таблиця його станів.
3. Монтажні схеми включення регістра типу K155IP1 на лабораторному стенді в статичному режимі, в режимі подільника на 7 та згідно індивідуального завдання.
4. Часові діаграми часові діаграми вхідних та вихідних сигналів регістра типу K155IP1 в режимі подільника на 7 та згідно індивідуального завдання.
5. Висновки.

Контрольні питання.

1. Класифікація та принципи побудови регістрів, області їх застосування.
2. Принцип дії регістра типу K155IP1.
3. Робота стенду.

Лабораторна робота № 5

Дослідження асинхронних та синхронних лічильників ІС ТТЛ (ТТЛШ) серій.

Мета роботи: вивчення та практичне засвоєння принципів побудови асинхронних та синхронних лічильників та його модифікацій на основі елементів логіки інтегральних мікросхем ТТЛ (ТТЛШ), дослідження їх роботи за допомогою стенда , або програми моделювання цифрових схем Electronics Workbench (Multisim).

Загальні відомості.

Лічильником називають послідовнісний цифровий пристрій, призначений для підрахунку та запам'ятовування числа імпульсів, поданих на його лічильний вхід.

В асинхронних лічильниках відсутня загальна для всіх розрядів синхронізація і перехід в нові стани відбувається послідовно розряд за розрядом, починаючи з вхідного, на який надходять лічильні імпульси. Таким чином асинхронний (послідовний) лічильник можна виконати у вигляді послідовності тригерів, включених в лічильному режимі, для кожного з яких лічильний імпульс формується тригером сусіднього молодшого розряду. Основна перевага асинхронних лічильників - це мінімальні витрати мікросхем і мінімум електричних зв'язків, що спрощує трасування ліній зв'язку та підвищує завадостійкість, основні недоліки – це низька швидкодія та наявність хибних станів на виході за рахунок неодночасного переключення тригерів лічильника.

До ІС ТТЛ (ТТЛШ) асинхронних лічильників відносяться мікросхеми ІЕ2, ІЕ4 та ІЕ4. На рис.4.1 наведено їх умовні графічні позначення, а в табл.5.1 – основні параметри цих мікросхем серій ТТЛ (ТТЛШ) – середня споживана потужність ($P_{сер}$) та середня затримка ($t_{сер}$).

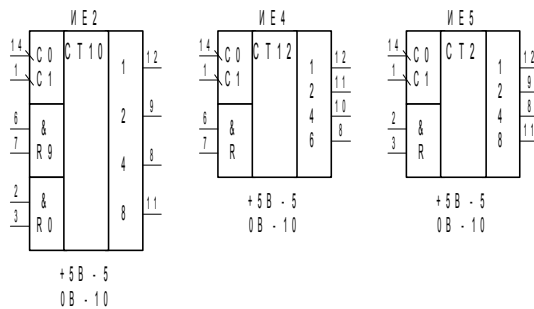


Рис.5.1. Умовні графічні позначення асинхронних лічильників ТТЛ (ТТЛШ).

Таблиця 5.1.

Позн. IC	K155(74)		K555	
	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс
IE2 (90)	265	100	45	50
IE4 (92)	255	100	-	-
IE5 (93)	265	135	45	70

IE2 – це 4-
десятковий

Мікросхема
розрядний
асинхронний

лічильник- подільник на 2, на 5 і на 10, який працює в коді 8421. Його принципова схема наведена на рис.5.2. Перший тригер лічильника може працювати самостійно. Він служить подільником входної частоти на 2. Тактовий вхід цього подільника – C0 (вивід 14), а вихід – Q0 (вивід 12). Решта три тригера утворюють подільник на 4. Тактовий вхід при цьому – C1 (вивід 1). Обидва тактових входи спрацьовують по від'ємному перепаду тактових імпульсів.

Лічильник має два входи R0 для скидання (виводи 2 і 3) і два входи R9 для завантаження в лічильник двійкового коду 1001, що відповідає десятковій цифрі 9.

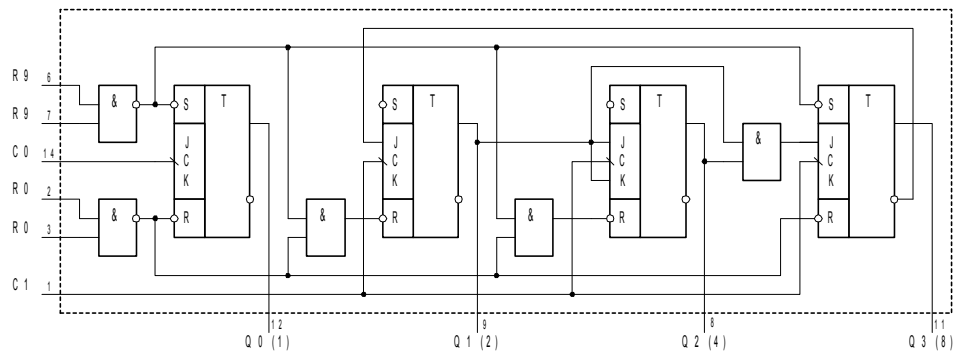


Рис.5.2. Принципова схема лічильника типу K155ІЕ2

Оскільки лічильник ІЕ2 асинхронний, стани на його виходах Q0..Q3 не можуть змінюватись одночасно. Якщо після даного лічильника вихідний код необхідно дешифрувати, то дешифратор потрібно стробувати на час цієї операції. В протилежному випадку в зв'язку з неодноразовністю переключення вихідних рівнів чотирьох тригерів можуть дешифруватись імпульсні завади (ефект змагань).

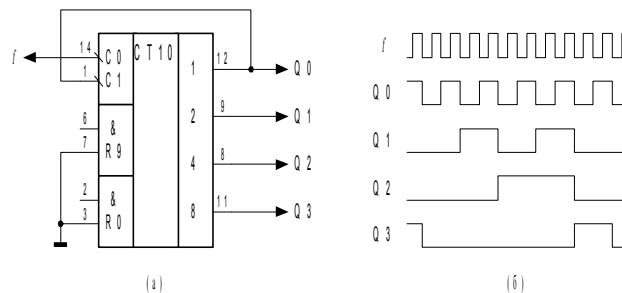


Рис.5.3. Включення лічильника ІЕ2 в режимі двійково-десятькового подільника на 10

Для того, щоби отримати на виходах лічильника двійково-десятьковий код з вагою двійкових розрядів 8421, необхідно з'єднати вихід Q0 і вхід C1 (виводи 12 і 1). Вхідна послідовність подається на тактовий вхід C0 (вивід 14). Схема включення лічильника в цьому режимі наведена на рис.5.3(а), а часові діаграми роботи – на рис.5.3(б).

Симетричний лічильник-подільник вхідної частоти на 10 (bi-quinary – дві п'ятірки, або код 5421) утвориться, якщо з'єднати вихід Q3 (вивід 11) з входом C0 (вивід 14). Вхідна послідовність подається на тактовий вхід C1 (вивід 1). Вихідна послідовність при рахуванні двома п'ятітками має вигляд

симетричного меандру із зменшеною в 10 разів частотою імпульсів, які подаються на вхід С1. Схема включення лічильника в цьому режимі наведена на рис.5.4(а), а часові діаграми роботи – на рис.5.4(б).

Для ділення частоти на 2 використовується тактовий вхід С0 (вивід 14) і вихід Q0 (вивід 12). Для ділення частоти на 5 вхідна імпульсна послідовність подається на тактовий вхід С1 (вивід 1), а вихідний сигнал знімається з виходу Q3 (вивід 11). Наявність входів скидання, об'єднаних по схемі І, дозволяє будувати подільники частоти з різними коефіцієнтами перерахунку в межах 2..9 без використання додаткових логічних елементів.

В табл.5.2 зведені режими роботи лічильника типу К155ІЕ2.

Таблица 5.2.

Входи керування				Режими виходів			
R0 (2)	R0 (3)	R9 (6)	R9 (7)	Q3	Q2	Q1	Q0
1	1	0	x	0	0	0	0
1	1	x	0	0	0	0	0
0	x	1	1	1	0	0	1
x	0	1	1	1	0	0	1
0	x	0	x	Рахування			
x	0	x	0	Рахування			
0	x	x	0	Рахування			
x	0	0	x	Рахування			

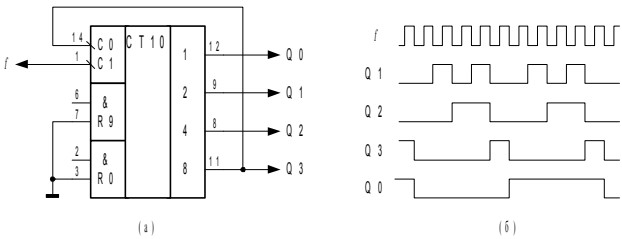


Рис.5.4. Включення лічильника ІЕ2 в режимі симетричного подільника на 10.

Мікросхема ІЕ4 – це 4-розрядний двійковий асинхронний лічильник-подільник на 2, на 6 і на 12, який працює в коді 6421. Його принципова схема наведена на рис.5.4. Лічильник ІЕ4 складається з двох незалежних подільників, як і мікросхема ІЕ2. Якщо тактова послідовність з частотою f подана на вхід С0 (вивід 14), на виході Q0 (вивід 12) отримаємо меандр з частотою $f/2$. Послідовність з частотою f на тактовому вході С1 (вивід 1) запускає подільник на 6, і меандр з частотою $f/6$ з'являється на виході Q3 (вивід 8). При цьому на виходах Q1 і Q2 (виводи 11 і 9) присутні сигнали з частотою $f/3$. Обидва тактових входи спрацьовують по від'ємному перепаду тактових імпульсів. Входи R0 (виводи 6 і 7) використовуються для скидання лічильника в 0.

Для того, щоби побудувати лічильник з коефіцієнтом перерахунку 12, необхідно об'єднати подільники на 2 і на 6, з'єднавши вихід Q0 з входом С1 (виводи 12 і 1 відповідно). На вхід С0 подається вхідна частота f , а на виході отримується послідовність симетричних прямокутних імпульсів з частотою $f/12$.

Таблиця 5.3.

Входи керування		Режими виходів			
R0 (6)	R0 (7)	Q3	Q2	Q1	Q0
1	1	0	0	0	0
0	x	Рахування			
x	0	Рахування			

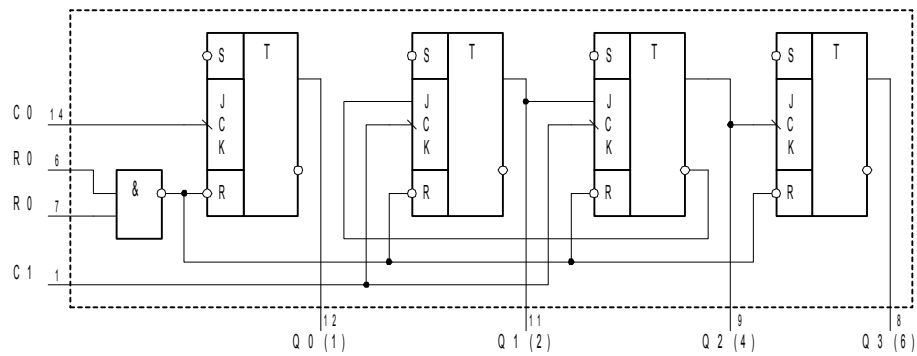


Рис.5.4. Принципова схема лічильника типу K155IE4.

В табл.5.3 зведені режими роботи лічильника типу K155IE4.

Схема включення лічильника типу K155IE4 в режимі двійкового подільника на 12 наведена на рис.5.5(а), а часові діаграми роботи – на рис.5.5(б).

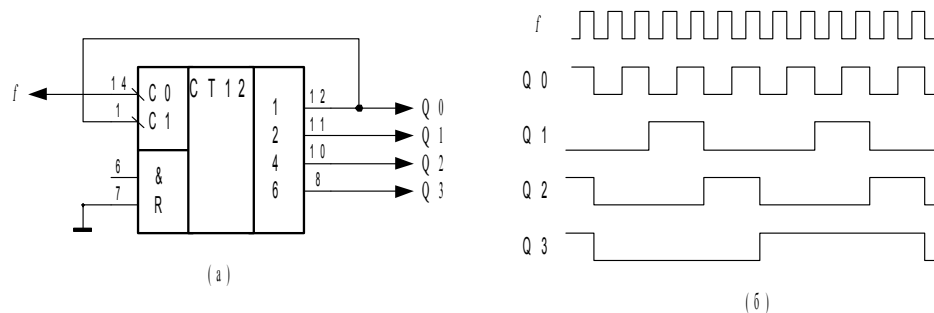


Рис.5.5. Включення лічильника IE4 в режимі двійкового подільника на 12.

Мікросхема IE5 – це 4-розрядний двійковий асинхронний лічильник-подільник на 2, на 8 і на 16, який працює в коді 8421. Його принципова схема наведена на рис.5.6. Лічильник IE5 має дві частини: подільник на 2 (тактовий вхід C0 (вивід 14), вихід Q0 (вивід 12)) і подільник на 8 (тактовий вхід C1 (вивід 1), виходи Q1..Q3 (виводи 11, 9, 8)). Обидва тактових входи спрацьовують по від'ємному перепаду тактових імпульсів. Входи R0 (виводи 6 і 7) використовуються для скидання лічильника в 0.

Якщо мікросхема IE5 використовується як лічильник-подільник на 16, необхідно з'єднати вихід Q0 і вхід C1 (виводи 12 і 1 відповідно). Схема включення лічильника IE5 в режимі двійкового подільника на 16 наведена на рис.5.7(а), а часові діаграми роботи – на рис.5.7(б).

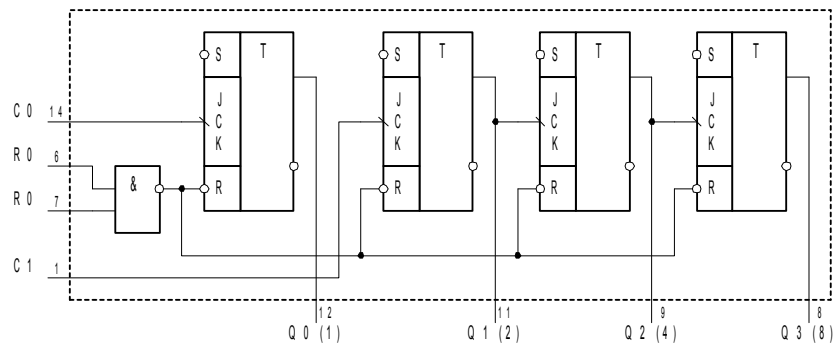


Рис.5.6. Принципова схема лічильника типу K155IE4.

В табл.5.4 зведені режими роботи лічильника IE4.

Таблиця 5.4.

Входи керування		Режими виходів			
R0 (6)	R0 (7)	Q3	Q2	Q1	Q0
1	1	0	0	0	0
0	x	рахування			
x	0	рахування			

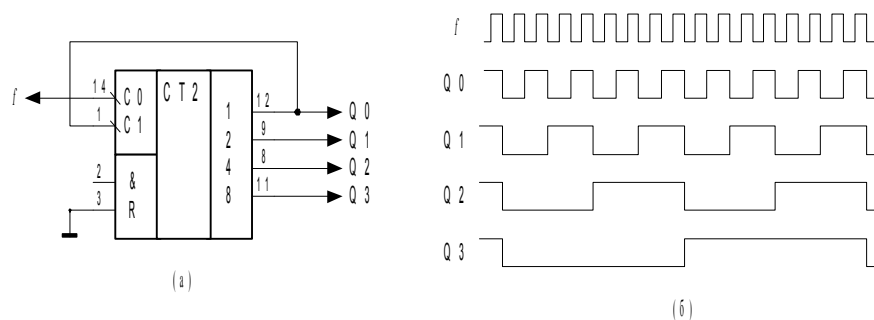


Рис.5.7. Включення лічильника IE5 в режимі двійкового подільника на 16.

В лабораторній роботі досліджується мікросхема лічильника K155IE2.

На рис.5.8(а) наведено монтажну схему включення лічильника K155IE2. На вхід C0 лічильника подаються імпульси частотою 8 kHz. Цей вхід, а також виходи лічильника підключені до 8-канального комутатора. На

рис.5.8(а) наведена схема включення ІЕ2 та часові діаграми на рис.5.8(б) відповідають режиму подільника частоти на 9.

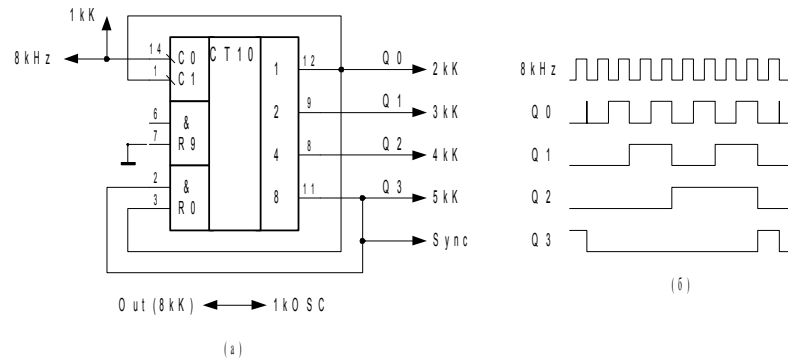


Рис.5.8. Монтажна схема включення лічильника типу К155ІЕ2 (а) і часові діаграми вхідних та вихідних сигналів (б).

На рис.5.9 наведено умовні графічні позначення основних синхронних лічильників ІС ТТЛ і ТТЛШ. Всі вони працюють в коді 8421.

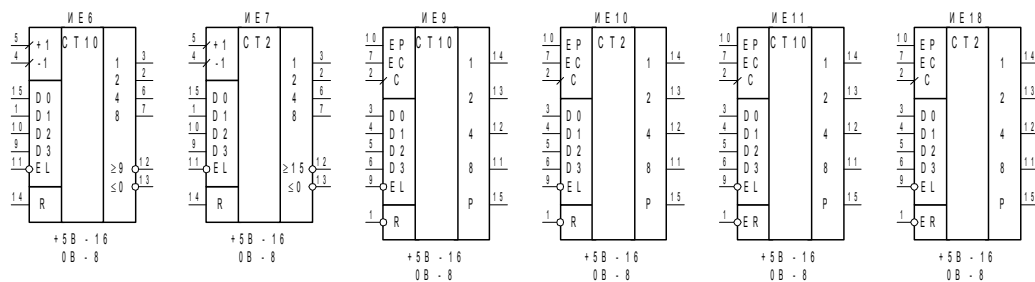


Рис.5.9. Умовні графічні позначення синхронних лічильників ІС ТТЛ (ТТЛШ).

Мікросхема ІЕ6 (192) – це 4-розрядний десятковий синхронний реверсивний лічильник. Входи +1 і -1 використовуються для подавання тактових імпульсів: +1 – при прямому рахуванні, -1 – при зворотньому. Вхід R використовується для скидання лічильника в 0, а вхід $\overline{EL}$ – для попереднього запису в лічильник інформації, що надходить з входів D0, D1, D2 і D3.

Скидання лічильника в 0 відбувається при подаванні лог.1 на вхід R, при цьому на вході $\overline{EL}$ повинна бути лог.1. Для попереднього запису в лічильник довільного числа від 0 до 9 це число потрібно подати на входи D0..D3 (D0 – молодший розряд, D3 – старший розряд), при цьому на вході R повинен бути лог.0, і подати імпульс від'ємної полярності на вхід $\overline{EL}$. Режим попереднього

завантаження можна використовувати для побудови подільників частоти із іншими коефіцієнтами перерахунку (менше 10).

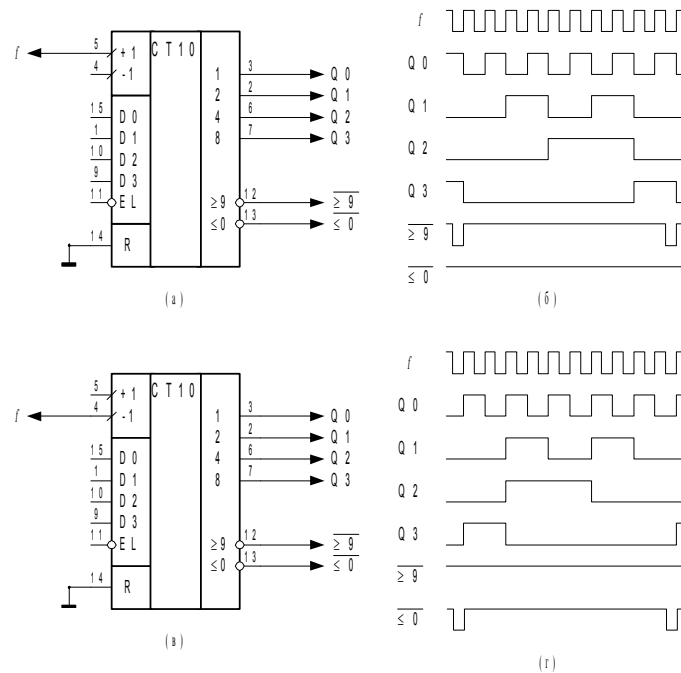


Рис.5.10. Включення лічильника ІЕ6 в режимах прямого (а) та зворотнього (в) рахунку з відповідними часовими діаграмами (б) і (г).

Пряме рахування здійснюється при подаванні тактових імпульсів на вхід $+1$, при цьому на входах -1 та $\overline{EL}$ повинні бути лог.1, а на вході R – лог.0. Переключення тригерів лічильника відбувається по додатніх фронтах входних імпульсів, одночасно з кожним десятим входнім імпульсом на виході ≥ 9 формується від'ємний вихідний імпульс переповнення, який може подаватись на вхід $+1$ наступної мікросхеми багаторозрядного лічильника. Рівні на виходах $Q_0(1)$, $Q_1(2)$, $Q_2(4)$ і $Q_3(8)$ лічильника відповідають стану лічильника в даний момент (в двійковому коді). При зворотньому рахуванні входні імпульси подаються на вхід -1 , вихідні імпульси знімаються з виходу ≤ 0 . На рис.5.10 наведено схеми включення лічильника ІЕ6 в режимах прямого (а) та зворотнього (в) рахування, а також часові діаграми, що відповідають цим режимам – (б) і (г) відповідно.

В табл.5.5 зведені режими роботи лічильника ІЕ6.

Мікросхема ІЕ7 (193) – це 4-розрядний двійковий синхронний реверсивний лічильник. Його побудова, принцип дії, а також призначення виводів

аналогічні лічильнику ІЕ6 за виключенням того, що максимальний коефіцієнт перерахунку ІЕ7 складає 16.

Таблиця 5.5.

Режими	Входи								Виходи					
	R	$\overline{EL}$	+1	-1	D3	D2	D1	D0	Q3	Q2	Q1	Q0	≥ 9	≤ 0
Скидання	1	1	x	x	x	x	x	x	0	0	0	0	1	1
Паралельне завантаже ння	0	0	x	0	0	0	0	0	0	0	0	0	1	0
	0	0	x	1	0	0	0	0	0	0	0	0	1	1
	0	0	0	x	1	x	x	1	$Q_n = D_n$				0	1
	0	0	1	x	1	x	x	1	$Q_n = D_n$				1	1
Пряме рахування	0	1	$\uparrow$	1	x	x	x	x	пряме рахування				1	1
Зворотнє рахування	0	1	1	$\uparrow$	x	x	x	x	зворотнє рахування				1	1

На рис.5.11 наведено схеми включення лічильника ІЕ7 в режимах прямого (а) та зворотнього (в) рахування, а також часові діаграми, що відповідають цим режимам – (б) і (г) відповідно.

Мікросхема ІЕ9 (160) – це 4-розрядний десятковий синхронний лічильник з можливістю паралельного завантаження інформації по додатньому фронту тактового імпульса. Подавання лог.0 на вхід $\overline{R}$, незалежно від станів інших входів приводить до скидання тригерів мікросхеми в 0. Для забезпечення режиму рахування на вхід $\overline{R}$ необхідно подати лог.1, крім того лог.1 повинна бути присутня на вході дозволу паралельного завантаження $\overline{EL}$, дозволу рахування ЕС та дозволу видачі сигналу переносу EP. Зміна станів тригерів

лічильника при рахуванні відбувається по додатньому фронту тактових імпульсів, що подаються на вхід С.

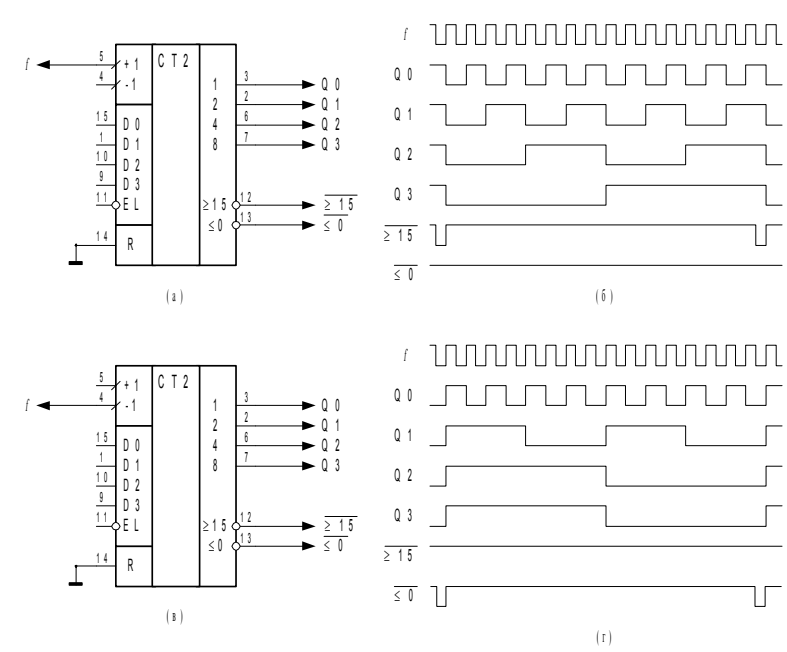


Рис.5.11. Включення лічильника ІЕ7 в режимах прямого (а) та зворотнього (в) рахування з відповідними часовими діаграмами (б) і (г).

В табл.5.6 зведені режими роботи лічильника ІЕ7.

Таблица 5.6.

Режими	Входи								Виходи					
	R	$\overline{EL}$	+1	-1	D3	D2	D1	D0	Q3	Q2	Q1	Q0	≥ 15	≤ 0
Скидання	1	1	x	x	x	x	x	x	0	0	0	0	1	1
Паралельне завантаження	0	0	x	0	0	0	0	0	0	0	0	0	1	0
	0	0	x	1	0	0	0	0	0	0	0	0	1	1
	0	0	0	x	1	1	1	1	1	1	1	1	0	1
	0	0	1	x	1	1	1	1	1	1	1	1	1	1
Пряма лічба	0	1	↑	1	x	x	x	x	пряма лічба				1	1

Зворотня лічба	0	1	1	↑	x	x	x	x	зворотня лічба	1	1
-------------------	---	---	---	---	---	---	---	---	-------------------	---	---

При подаванні лог.0 на вхід $\overline{EL}$ мікросхема переходить в режим паралельного завантаження інформації з входів D0..D3. Запис відбувається по додатньому фронту тактових імпульсів, що подаються на вхід C. При паралельному завантаженні на вході $\overline{R}$ повинна бути присутня лог.1, сигнали на входах EC і EP довільні.

На виході переносу P лог.1 з'являється тоді, коли лічильник знаходиться в стані 9, і на вході EP присутня лог.1, в інших випадках на виході P лог.0. Подавання лог.0 на вхід EP забороняє видачу лог.1 на виході P і рахування імпульсів. Подавання лог.0 на вхід EC забороняє рахування, але не забороняє видачу сигналу переносу.

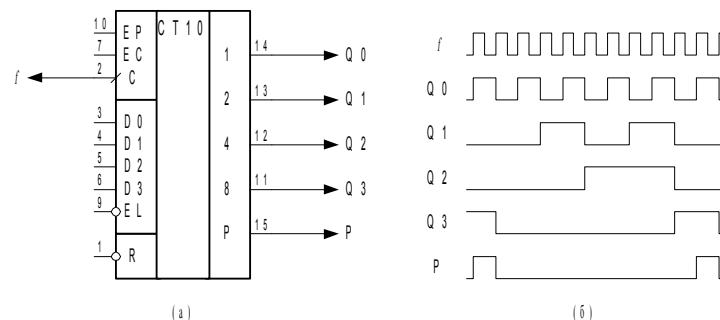


Рис.5.12. Включення лічильника ІЕ9 в режимі рахування (а) і часові діаграми вхідних та вихідних сигналів (б).

На рис.5.12 наведено схему включення лічильника ІЕ9 в режимі рахування (а) та часові діаграми, що ілюструють його роботу (б).

В табл.5.7 зведені режими роботи лічильника ІЕ9.

Мікросхема ІЕ10 (161) за своїм функціонуванням аналогічна мікросхемі ІЕ9 і відрізняється від неї лише тим, що рахування відбувається в двійковому коді, і її коефіцієнт перерахунку рівний 16.

На рис.5.13 наведено схему включення лічильника ІЕ10 в режимі рахування (а) та часові діаграми, що ілюструють його роботу (б).

Таблиця 5.7.

Режими	Входи						Виходи	
	$\overline{R}$	C	E C	E P	$\overline{EL}$	D _n	Q _n	P
Скидання	0	x	x	x	x	x	0	0
Паралельне завантажен ня	1	↑	x	x	0	0	0	0
	1	↑	x	x	0	1	1	P
Рахування	1	↑	1	1	1	x	рахува ння	P
Збереження	1	x	0	x	1	x	Q _{n-1}	P
	1	x	x	0	1	x	Q _{n-1}	P

Таблиця режимів ІЕ10 співпадає з таблицею режимів лічильника ІЕ9.

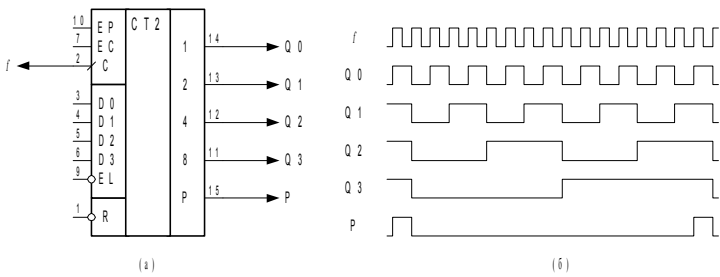


Рис.5.13. Включення лічильника ІЕ10 в режимі рахування (а) і часові діаграми вхідних та вихідних сигналів (б).

Мікросхема ІЕ11 – це 4-розрядний десятковий синхронний лічильник. Логіка його роботи відповідає логіці роботи лічильника ІЕ9. Від ІЕ9 він відрізняється лише тим, що вхід скидання в 0 $\overline{R}$ цього лічильника синхронний, тобто лічильник скидається в 0 при лог.0 на вході $\overline{R}$ по додатньому фронту тактового імпульса на вході C. Отже, усі зміни станів тригерів лічильника відбуваються по додатньому фронту тактового імпульса на вході C.

В табл.5.8 зведені режими роботи лічильника ІЕ4.

Таблиця 5.8.

Режими	Входи						Виходи	
	$\overline{R}$	C	E C	E P	$\overline{EL}$	D_n	Q_n	P
Скидання	0	↑	x	x	x	x	0	0
Паралельне завантаження	1	↑	x	x	0	0	0	0
	1	↑	x	x	0	1	1	P
Рахування	1	↑	1	1	1	x	рахува ння	P
Збереження	1	x	0	x	1	x	Q_{n-1}	P
	1	x	x	0	1	x	Q_{n-1}	P

Мікросхема ІЕ18 за своїм функціонуванням аналогічна мікросхемі ІЕ11 і відрізняється від неї лише тим, що рахування відбувається в двійковому коді і її коефіцієнт перерахунку рівний 16.

Таблиця режимів ІЕ18 співпадає з таблицею режимів лічильника ІЕ4.

В табл.5.9 наведено основні параметри мікросхем синхронних лічильників різних серій ТТЛ (ТТЛШ) – середня споживана потужність ($P_{сер}$) та середня затримка ($t_{сер}$).

В лабораторній роботі досліджується мікросхема лічильника типу К155ІЕ7. На рис.5.14 наведено його принципову схему.

Таблиця 4.9.

Позн. ІС	К155		К555		КР1533		КР531	
	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс	$P_{сер},$ мВт	$t_{сер},$ нс

ИЕ6	510	30	170	44	110	23	-	-
ИЕ7	510	30	170	44	110	23	-	-
ИЕ9	505	25	176	31	105	21	635	15
ИЕ10	-	-	176	35	105	21	635	15
ИЕ11	-	-	-	-	105	20	800	20
ИЕ18	-	-	176	35	105	20	800	20

Як зазначалося вище, наявність можливості попереднього завантаження лічильника дозволяє досить легко будувати на його основі подільники частоти з довільним коефіцієнтом перерахунку. При побудові такого подільника частоти на основі мікросхеми ИЕ7 необхідно на входи даних лічильника D0..D3 подати відповідну 4-розрядну константу, а вхід $\overline{EL}$ підключити до виходу ≥ 15 (при прямому рахуванні) або до ≤ 0 (при зворотньому рахуванні). Вхідні тактові імпульси подаються відповідно на вхід +1 або -1.

Якщо лічильник працює в режимі прямого рахування, то при досягненні на його виходах Qn значення 15 на виході ≥ 15 з'являється лог.0, який записує в тригери мікросхеми значення поданої константи, і наступна зміна стану лічильника по додатньому фронту тактового імпульса відбувається вже відносно нового його значення. Якщо ж лічильник працює в режимі зворотнього рахування, то запис константи відбувається при досягненні лічильником значення 0 по сигналу на виході ≤ 0 .

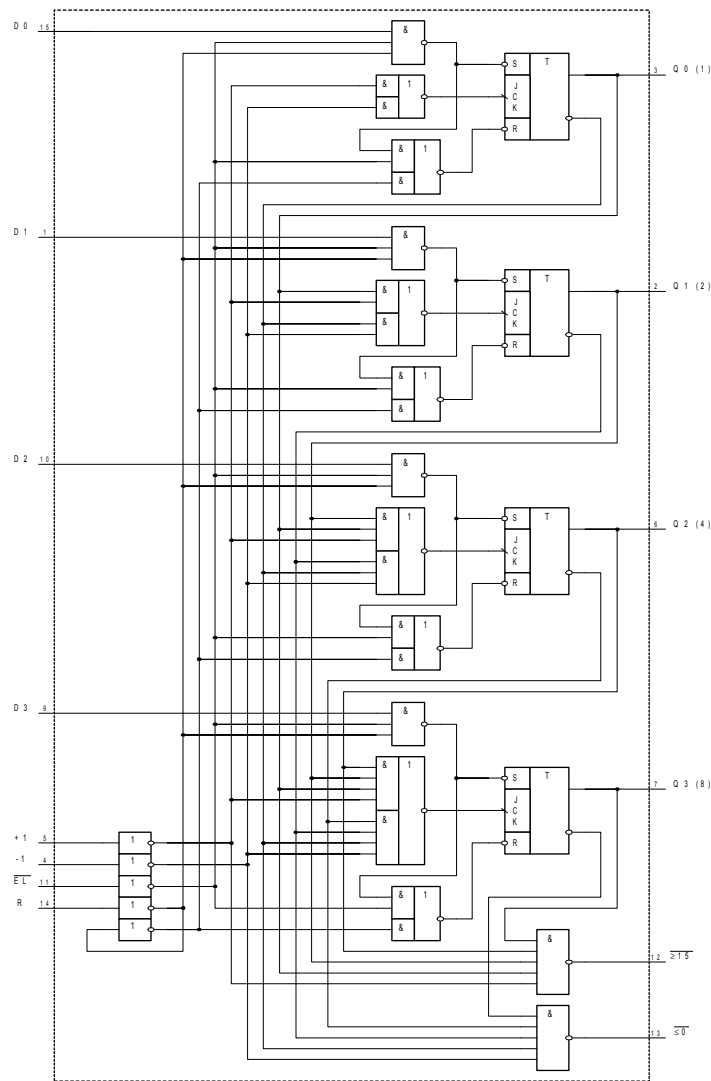


Рис.5.14. Принципова схема лічильника ІЕ7.

Константа ND , що подається на входи даних лічильника, визначається за наступними співвідношеннями:

$$N_D = 15 - K$$

при прямому рахуванні, або

$$N_D = K$$

при зворотньому рахуванні. K – це коефіцієнт перехунку подільника, який необхідно отримати.

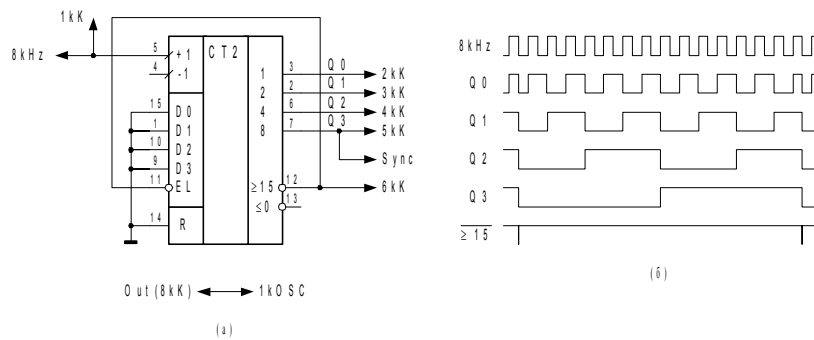


Рис.5.15. Монтажна схема включення лічильника типу K155IE7 (режим прямого рахування) (а) і часові діаграми вхідних та вихідних сигналів (б).

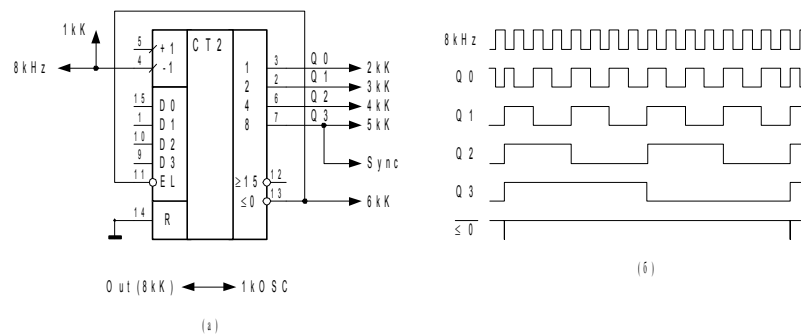


Рис.5.16. Монтажна схема включення лічильника типу K155IE7 (режим зворотнього рахування) (а) і часові діаграми вхідних та вихідних сигналів (б).

На рис.5.15(а) і 5.16(а) наведено різні варіанти монтажною схеми, де в якості прикладу побудований подільник частоти з коефіцієнтом перерахунку $K=15$ в режимах прямого та зворотнього рахування відповідно. При цьому на входи даних лічильника в першому випадку подається константа 0, а в другому – константа 14. На рис.5.15(б) і 5.16(б) наведено часові діаграми вхідних та вихідних сигналів схеми для кожного з варіантів побудови відповідно.

Завдання до лабораторної роботи № 5.

Порядок виконання лабораторної роботи.

1. Ознайомитись з мікросхемами лічильників імпульсів вітчизняного та зарубіжного виробництва.
2. Скласти схему реалізації восьмирозрядного лічильника імпульсів за модулем числа M , виконаних на основі відповідно мікросхем лічильників

імпульсів заданої серії. Модуль числа M задається у відповідності до вказаного варіанту завдання.

3. Накреслити принципову схему реалізації восьмирозрядного лічильника імпульсів за модулем числа M на основі відповідно мікросхем лічильників імпульсів у відповідності до стандартів (ГОСТ 2.743—91 та ПРАВИЛ ВИКОНАННЯ СХЕМ ЦИФРОВОЇ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ) та скласти перелік елементів схеми виконаних на листках формату А4 або А3 з відповідними кутовими штампами.

4. Накреслити часову діаграму роботи заданого восьмирозрядного лічильника імпульсів, виконаних на основі мікросхем лічильників імпульсів вибраної серії, виконаних на листках формату А4 або А3 з відповідними кутовими штампами.

4. Побудувати модель заданої комбінаційної схеми з використанням програми схемного проектування MultiSim та здійснити відповідну тестову перевірку її роботи, використавши відповідні інструменти, як генератор тактових імпульсів, дільники частоти та осцилоскопи.

Варіанти завдань лабораторної роботи № 5.

Модуль числа імпульсів M задається як десяткове число, що утворюється наступним чином за формулою:

$$M_{10} = k \cdot N + 128,$$

де N – порядковий номер у журнальному списку, а k – коефіцієнт пропорційності, який приймає наступні значення:

$k=5$, якщо N = від 1 до 9,

$k=3$, якщо N = від 10 до 19,

$k=1$, якщо N = від 20 до 29

Зміст звіту.

- 1.Накреслити умовні графічні позначення використаних мікросхем лічильників імпульсів та їх основні технічні характеристики.
 - 2.Принципова схема реалізації лічильника імпульсів за модулем М.
 - 3.Часова діаграма роботи заданої комбінаційної схеми..
 - 4.Часова діаграма роботи моделі лічильника імпульсів за модулем числа М(вхідна та вихідна послідовності засобами MultiSim).
- Висновки.

Лабораторна робота № 6

Дослідження схем реалізації автомата керування

Мета роботи: вивчення та практичне засвоєння принципів побудови асинхронних та синхронних лічильників та його модифікацій на основі елементів логіки інтегральних мікросхем ТТЛ (ТТЛШ), дослідження їх роботи за допомогою стенда , або програми моделювання цифрових схем Electronics Workbench (Multisim).

Загальні відомості.

Автомат Мілі - скінченний автомат чиї вихідні символи якого визначаються його станом, та символами на вході (на відміну від автомату Мура вихідні символи якого визначаються тільки його станом). На ребрах в діаграмі станів позначають вхідні та вихідні символи .

Автомат Мілі може бути примітивною математичною моделлю шифрувальної машини. Якщо взяти за вхідний та вихідний алфавіти наприклад символи латинки, то можна сконструювати автомат Мілі, який буде для кожного вхідного рядка давати на виході зашифровану послідовність. Структура автомата Мілі показана на рис. 6.1.



Рис. 6.1 Загальна структурна схема автомата Мілі

Таблиця 6.1. Двійкового кодування станів автомата

№	Стан автомата				
	позначення	Код			
	a_i	Q3	Q2	Q1	Q0
0	a_0	0	0	0	0
1	a_1	0	1	0	1
2	a_2	1	0	1	0
...			...	...	...
8	a_8	1	0	0	0
9	a_9	1	0	0	1

За способом формування функції виходів виділяють три типи абстрактних автоматів: автомат Мілі, автомат Мура та С-автомат.

В абстрактному автоматі Мілі значення функції виходу в момент t залежить не лише від стану автомата, але і від набору значень вхідних сигналів.

Довільний абстрактний автомат Мілі має один вхідний і один вихідний канали.

Автомат Мілі характеризується системою рівнянь:

$$y(t) = \lambda[s(t), x(t)];$$

(1)

де $X = \{x_1, x_2, \dots, x_m\}$ – множина вхідних сигналів автомата (вхідний алфавіт);

$S = \{s_1, s_2, \dots, s_n\}$ – множина станів автомата (алфавіт станів);

$Y = \{y_1, y_2, \dots, y_l\}$ – множина вихідних сигналів (вихідний алфавіт).

λ – функція виходів автомата;

φ – функція переходів автомата.

Іншими словами, функція виходів λ задає відображення $(X \times S) \rightarrow Y$, тобто ставить у відповідність будь-якій парі елементів декартового добутку множин $(X \times S)$ елемент множини S .

В автоматі Мілі початок і кінець мікропрограми представляються початковим станом автомата a_0 . Кожна дуга, яка виходить із операторної вершини позначається символом a_i . Якщо декілька дуг, позначені певними станами a_k , входять до одного блоку графа мікропрограми, то всі вони помічаються однаковим символом стану a_k .

Умови переходу по мікропрограмі від одного стану до іншого задають функцію переходів автомата.

Таблиця переходів (виходів) являє собою таблицю з подвійним входом, рядки якого пронумеровані вхідними буквами, а стовпці – станами. На перетині вказується стан, у який переходить автомат (в таблиці переходів) або вихідний сигнал, що видається ним (у таблиці виходів).

Іноді при завданні автоматів Мілі використовують одну суміщену таблицю переходів і виходів, в якій на перетині стовпця a_m і рядка x_j записуються у вигляді as/ug наступний стан і вихідний сигнал, що видається.

Керуючі пристрої складаються із окремих логічних схем елементів, які виробляють керуючі сигнали в заданій послідовності. Такий керуючий пристрій можна розглядати як керуючий автомат типу Мура чи Мілі.

Для автомата Мілі вихідний сигнал залежить не лише від внутрішнього стану, а й від зовнішнього стану схеми. Можна побудувати граф переходів автомата Мура, де вершинами являються стани автомата, а дугами - умови переходу з одного стану в інший.

В залежності від способу визначення вихідного сигналу в синхронних автоматах існує два способи:

вихідний сигнал $y(t)$ однозначно визначається вхідним сигналом $x(t)$ і станом $a(t-1)$ автомата в наступний момент часу;

вихідний сигнал $y(t)$ однозначно визначається вхідним сигналом $x(t)$ і станом a в даний момент часу.

Автомати можна задати також у вигляді графів, таблиць виходів та переходів, суміщеної таблиці переходів і виходів. Управляючий пристрій складається із окремих логічних схем, що виробляють управляючі сигнали в заданій послідовності. Такий управляючий пристрій можна розглядати як керуючий автомат типу Мура чи Мілі.

Після побудови автомата Мілі функціонування керуючого автомата представляють у вигляді таблиць переходів і виходів. Для цього спочатку виробляють кодування станів автомата двійковими кодами, визначають тип та кількість тригерів. Потім по таблиці переходів встановлюють значення сигналів на входах тригерів, при яких відбуваються переходи; визначають функції збудження тригерів і виконують їх мінімізацію (спрощення). По знайдених виразах будується схема управляючого автомата на вибраних елементах.

Завдання до лабораторної роботи № 6.

Порядок виконання лабораторної роботи.

1. __Скласти схему реалізації цифрового автомату згідно вказаного варіанту
2. Накреслити принципову схему реалізації цифрового автомату у відповідності до стандартів (ГОСТ 2.743—91 та ПРАВИЛ ВИКОНАННЯ СХЕМ ЦИФРОВОЇ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ) та скласти перелік елементів схеми виконаних на листках формату А4 або А3 з відповідними кутовими штампами.
3. Накреслити часову діаграму роботи цифрового автомату у відповідності до вибраного варіанту завдання, та виконати на листках формату А4 або А3 з відповідними кутовими штампами.
4. Побудувати модель заданої схеми реалізації цифрового автомату з використанням програми схемного проектування MultiSim та здійснити відповідну тестову перевірку її роботи, використавши відповідні інструменти, як генератор тактових імпульсів, дільники частоти та осцилоскопи.

Варіанти завдань лабораторної роботи № 6.

Текучи й стан автомат у	Умова перехо ду						
		Наступ н. стан автома ту	Формуван. вихідних сигналів	Наступ н. стан автома ту	Формуван. вихідних сигналів	Наступ н. стан автома ту	Формуван. вихідних сигналів
		Варіант 1		Варіант 2		Варіант 3	
A0	Y0= 0, Y1=1	A1	K0,K1	A2	K0,K2	A1	K1
A1	Y0= 1, Y1=0	A2	K1,K2,K3	A3	K1,K0,K3	A2	K0,K1,K3
A2	Y0= 1 , Y1=1	A3	K1,K0,K3	A1	K1,K2,K3	A0	K1,K2,K3
A3	Y0= 1 , Y1=0	A0	K2,K3	A0	K2,K0	A3	K1,K3
		Варіант 4		Варіант 5		Варіант 6	
A0	Y0= 0, Y1=0	A1	K0,K2	A2	K1,K2	A1	K1,K2,K3
A1	Y0= 0, Y1=1	A2	K0,K1,K3	A3	K1,K2,K3	A2	K0,K2,K3
A2	Y0=	A3	K1,K2,K3	A1	K0,K2,K3	A0	K2,K3

	1 Y1=0						
A3	Y0=1 Y1=1	A0	K1,K3	A0	K2,K3	A3	K0,K1
		Варіант 7		Варіант 8		Варіант 9	
A0	Y0=1 Y1=0	A1	K0,K1	A2	K0,K2	A1	K1
A1	Y0=0 Y1=1	A2	K1,K2,K3	A3	K1,K0,K3	A2	K0,K1,K3
A2	Y0=1 Y1=1	A3	K1,K0,K3	A1	K1,K2,K3	A0	K1,K2,K3
A3	Y0=0 Y1=0	A0	K2,K3	A0	K2,K0	A3	K1,K3
		Варіант 10		Варіант 11		Варіант 12	
A0	Y0=0 Y1=0	A1	K0,K2	A2	K1,K2	A1	K1,K2,K3
A1	Y0=0 Y1=1	A2	K0,K1,K3	A3	K1,K2,K3	A2	K0,K2,K3
A2	Y0=1 Y1=0	A3	K1,K2,K3	A1	K0,K2,K3	A0	K2,K3

A3	Y0= 1 Y1=1	A0	K1,K3	A0	K2,K3	A3	K0,K1
		Варіант 13		Варіант 14		Варіант 15	
A0	Y0= 0, Y1=1	A1	K0,K1	A2	K0,K2	A1	K1
A1	Y0= 1, Y1=1	A2	K1,K2,K3	A3	K1,K0,K3	A2	K0,K1,K3
A2	Y0= 0, Y1=0	A3	K1,K0,K3	A1	K1,K2,K3	A0	K1,K2,K3
A3	Y0= 1 Y1=0	A0	K2,K3	A0	K2,K0	A3	K1,K3
		Варіант 16		Варіант 17		Варіант 18	
A0	Y0= 0, Y1=1	A1	K0,K2	A2	K1,K2	A1	K1,K2,K3
A1	Y0= 1, Y1=1	A2	K0,K1,K3	A3	K1,K2,K3	A2	K0,K2,K3
A2	Y0= 0, Y1=0	A3	K1,K2,K3	A1	K0,K2,K3	A0	K2,K3
A3	Y0= 1 Y1=0	A0	K1,K3	A0	K2,K3	A3	K0,K1

		Варіант 19		Варіант 20		Варіант 21	
A0	Y0= 1, Y1=1	A1	K0,K1	A2	K0,K2	A1	K1
A1	Y0= 1, Y1=0	A2	K1,K2,K3	A3	K1,K0,K3	A2	K0,K1,K3
A2	Y0= 0, Y1=1	A3	K1,K0,K3	A1	K1,K2,K3	A0	K1,K2,K3
A3	Y0= 0 , Y1=0	A0	K2,K3	A0	K2,K0	A3	K1,K3
		Варіант 22		Варіант 23		Варіант 24	
A0	Y0= 1, Y1=0	A1	K0,K2	A2	K1,K2	A1	K1,K2,K3
A1	Y0= 1, Y1=1	A2	K0,K1,K3	A3	K1,K2,K3	A2	K0,K2,K3
A2	Y0= 0, Y1=1	A3	K1,K2,K3	A1	K0,K2,K3	A0	K2,K3
A3	Y0= 1, Y1=1	A0	K1,K3	A0	K2,K3	A3	K0,K1
		Варіант 25		Варіант 26		Варіант 27	
A0	Y0= 0, Y1=1	A1	K0,K1	A2	K0,K2	A1	K1
A1	Y0= 1, Y1=0	A2	K1,K2,K3	A3	K1,K0,K3	A2	K0,K1,K3

A2	Y0= 0, Y1=1	A3	K1,K0,K3	A1	K1,K2,K3	A0	K1,K2,K3
A3	Y0= 0, Y1=0	A0	K2,K3	A0	K2,K0	A3	K1,K3
		Варіант 4		Варіант 5		Варіант 6	
A0	Y0= 0, Y1=0	A1	K0,K2	A2	K1,K2	A1	K1,K2,K3
A1	Y0= 1 Y1=0	A2	K0,K1,K3	A3	K1,K2,K3	A2	K0,K2,K3
A2	Y0= 1 , Y1=1	A3	K1,K2,K3	A1	K0,K2,K3	A0	K2,K3
A3	Y0= 0, Y1=1	A0	K1,K3	A0	K2,K3	A3	K0,K1

Зміст звіту.

1. Накреслити умовні графічні позначення використаних мікросхем тригерів та їх основні технічні характеристики.
2. Принципові схеми реалізації автомата на мікросхемах групи JK і D тригерів.
3. Часова діаграма та граф - схема роботи автомата.

Висновки

Лабораторна робота № 7

Дослідження мікросхем пам'яті

Мета роботи: Вивчення та практичне дослідження інтегральних мікросхем ТТЛ (ТТЛШ) групи оперативно -запам'ятовуючих пристроїв (ОЗП), дослідження їх роботи за допомогою стенда або програми моделювання цифрових схем Electronics Workbench (Multisim)

Загальні відомості.

На рис.1 подана функціональна схема модуля ОЗП

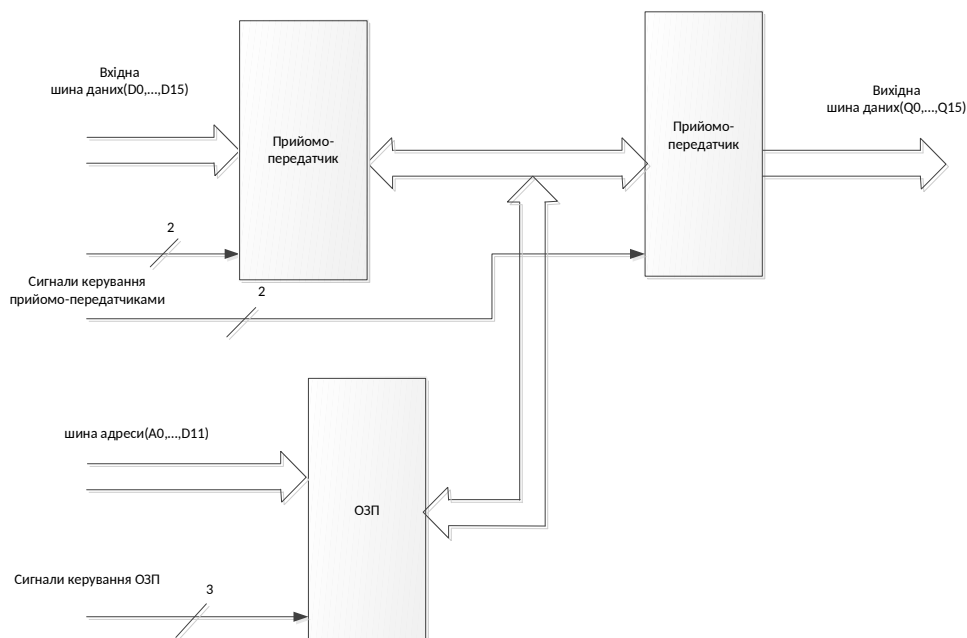


Рис.7.1 Функціональна схема модуля ОЗП

Оперативні запам'ятовуючі пристрої.

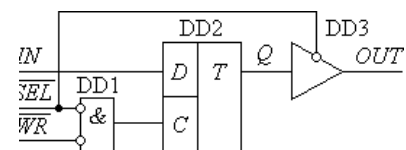
Назва “оперативні запам'ятовуючі пристрої” (ОЗП) фактично відображає функціональне призначення такого роду пристроїв пам'яті, які призначені для швидкого запису, зчитування та тимчасового зберігання обсягів

інформації, які використовуються оперативно при виконанні програм. В англomовній літературі початкова назва такої пам'яті була Read/Write Memory (RWM), тобто, знову ж таки, пам'ять для читання і запису, і зберігання, в будь-який час. Більш пізня і сучасна її назва – Random Access Memory (RAM) (пам'ять з довільним доступом) – означає, що такі пристрої пам'яті мають можливість зчитувати або записувати біт інформації незалежно від його розміщення в пам'яті. З цієї точки зору ROM (Read Only Memory) (або ПЗП – постійні запам'ятовуючі пристрої) також відносяться до RAM. Але, незважаючи на таке непорозуміння, аббревіатура RAM широко використовується як англomовна назва ОЗП.

У цілому ОЗП розділяють на дві групи – статичні та динамічні. Різниця між ОЗП кожної з груп досить суттєва, і проявляється у різноманітних характеристиках – від областей застосування до вартості. Статичні ОЗП в якості елементів пам'яті використовують D-тригери, інформація в яких при наявності напруги живлення зберігатиметься від запису до перезапису. Динамічні ОЗП в якості елементів пам'яті використовують конденсатори ємністю порядку 0,5 пФ. Тривалість зберігання інформації у статичних ОЗП необмежена. У динамічних вона обмежується часом саморозряду конденсаторів, що вимагає спеціальних засобів відновлення (регенерації) даних і додаткових витрат часу на цей процес. Звідси і витікає суттєва різниця як у схемотехніці обох типів пам'яті, так і в принципах роботи з нею.

Статичні ОЗП.

Сучасні ОЗП статичного типу відносяться до пристроїв пам'яті високої вартості, і тому у мікропроцесорних системах використовуються досить обмежено.



Основною перевагою статичних ОЗП є висока швидкодія, що визначає їх використання

у швидкодіючих системах інформації

Рис. 7.2

обробки. Як КЕШ-пам'ять вона широко використовується для суттєвого підвищення швидкості взаємодії процесора з основною (динамічною) пам'яттю у персональних комп'ютерах, а також є основною пам'яттю у потужних мультипроцесорних системах.

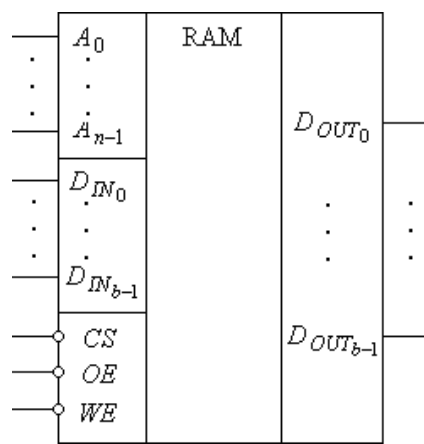
На сучасному рівні розвитку технології напівпровідникової техніки статичні ОЗП виготовляються на основі КМОН-елементів. Основою статичних ОЗП є елемент пам'яті, побудований на синхронних статичних D -тригерах, який структурно має вигляд, приведений на рис. 7.2.

При виборі елемента пам'яті ($\overline{SEL} = 0$) дані, що зберігаються в D -тригері, передаються на вихід через вихідний підсилювач з Z -станом. При цьому дані в D -тригері залишаються незмінними. При необхідності змінити вміст D -тригера подається сигнал $WR = 0$, внаслідок чого дані, сигнали кожного з елементів об'єднуються. Матриці пам'яті будуються на основі схемотехніки, подібної до репрограмованих запам'ятовуючих пристроїв.

Умовне зображення мікросхеми ОЗП приводиться на рис. 8.61.

В яких використовуються такі входи:

- $A_{n-1} \dots A_0$ – адресні входи;
- WE – вхід дозволу запису та зчитування;
- OE – вхід управління станом вхідного буфера;
- CE – вхід вибору кристала;
- $D_{INb-1} \dots D_{INb-1}$ – вхід даних
- $D_{OUTb-1} \dots D_{OUT}$ – вихід даних.



ис. 7.3

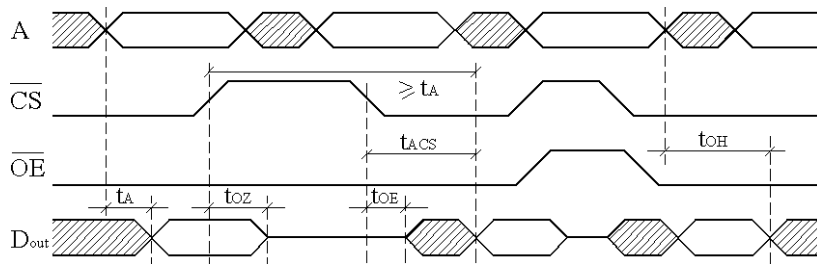
Р

У загальному плані робота ОЗП описується таблицею станів табл. 7.1, яка характеризує статичні значення сигналів для кожного з режимів.

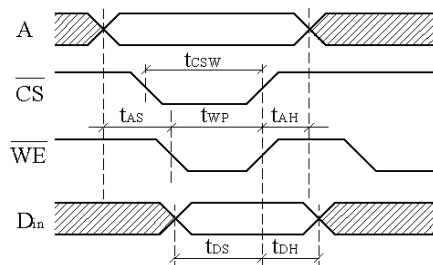
Таблиця 7.1

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	A	$\begin{matrix} DI \\ O \end{matrix}$	Режим
1	x	x	x	Z	Зберігання
0	x	0	A	DI	Запис
0	0	1	A	$\begin{matrix} D \\ O \end{matrix}$	Зчитування

Але для забезпечення надійного запису, так само як і зчитування, при роботі з ОЗП необхідно чітко дотримуватися послідовності подачі сигналів та часових співвідношень між ними, які задаються часовими діаграмами та відповідними часовими співвідношеннями, подібними до відповідних параметрів ПЗП (рис. 7.4).



а)



б)

Рис. 7.4

На рис. 7.4, *а* приведені часові діаграми для режиму зчитування, а на рис. 7.4, *б* – для режиму запису.

Часові параметри мають наступну інтерпретацію:

- t_A (Access time from address) – час доступу до даних після подачі установлених адресних сигналів (час перехідних процесів зображено заштрихованими ділянками). Це мінімальний інтервал часу між установленими значеннями адресних сигналів до моменту початку зчитування даних за умови,

що сигнали CS і OE підготовлені раніше. Цей інтервал часу мається на увазі, коли говорять про час доступу до даних конкретного типу статичної пам'яті;

- t_{ACS} (Access time from chip select) – час доступу до даних після подачі і установлення $\overline{CS}$. Це мінімальний інтервал часу між установленням сигналу $\overline{CS}$ і моментом початку зчитування даних при установлених попередньо адресних сигналах і сигналі OE ;

- t_{OE} (Output enable time) – час переходу вихідних підсилювачів із Z-стану в активний. Визначається як інтервал часу з моменту переходу одного з керуючих сигналів $\overline{CS}$ або $\overline{OE}$ в активний стан (низький рівень) до моменту появи даних (неустановлений режим) на вихідних шинах при установлених значеннях адресного сигналу;

- t_{OZ} (Output disable time) – час переходу вихідних підсилювачів з активного у Z-стан. Він визначається як інтервал часу між переходом одного з керуючих сигналів $\overline{CS}$ або $\overline{OE}$ у пасивний стан (високий рівень) та моментом, з якого виходи мікросхеми перейдуть у Z-стан при установлених значеннях адресного сигналу;

- t_{OH} (Output hold time) – час підтримки виходу. Цей параметр визначає, як довго можна знімати дані з виходів мікросхеми після зміни адресного коду;

- t_{AS} (Address setup time before write) – час установлення адресного коду перед записом. Цей інтервал часу важливий з точки зору надійного і

непошкодженого запису даних за установленим адресним кодом. Визначається з моменту установлення коду адреси до моменту активізації останнього.

- t_{AH} (Address hold time after write) – час підтримки адреси після запису. Цей параметр аналогічний t_{AS} і визначає інтервал часу, протягом якого адресний код повинен залишатися без зміни після переводу керуючих сигналів CS, OE у пасивний стан (високий рівень);

- t_{CSW} (Chip-select setup before end of write) – час підтримки активного рівня керуючого входу CS при виконанні операції запису;

- t_{WP} (Write-pulse width) – тривалість активного рівня керуючого входу WE для забезпечення надійного запису;

- t_{DS} (Data setup time before end of write) – інтервал часу, протягом якого всі сигнали повинні бути незмінними для забезпечення надійного запису;

- t_{DH} (Data hold time after end of write) – аналогічно t_{DS} , тобто дані на вході повинні залишатись незмінними по закінченню циклу запису.

Виробники статичних мікросхем оперативної пам'яті визначають два типи циклів запису: керований сигналом $\overline{WE}$ та керований сигналом CS. Різниця між ними полягає лише у тому, який з сигналів активізується. При цьому несуттєво, який з цих сигналів першим переходить у пасивний стан, оскільки

після цього рівень сигналу на іншому вході не має значення.

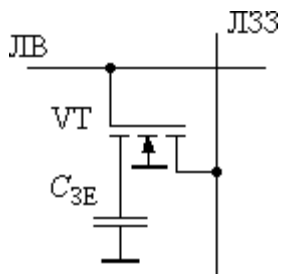
Стандартні мікросхеми статичної пам'яті мають ємність і організацію, подібні до ПЗП і РПЗП. Широко використовувані мікросхеми мають ємність до 4 Мбіт і мінімальний час доступу 2...3 нс.

Найширше використання статичні ОЗП знаходять у малих мікропроцесорних системах, вмонтованих системах керування, телефонії та ін. Швидкодіючі статичні ОЗП використовуються як КЕШ-пам'ять у високопродуктивних обчислювальних машинах і системах.

Динамічні ОЗП (DRAM)

Складність запам'ятовуючих елементів у статичних ОЗП обмежує можливості досягнення високої щільності і, відповідно, високої ємності

виготовлення мікросхем пам'яті. Підвищення цих параметрів досягається тим, що в якості елемента пам'яті використовується конденсатор малої ємності C_{3E} , заряд якого забезпечується через МОН-транзистор VT (рис. 7.5).



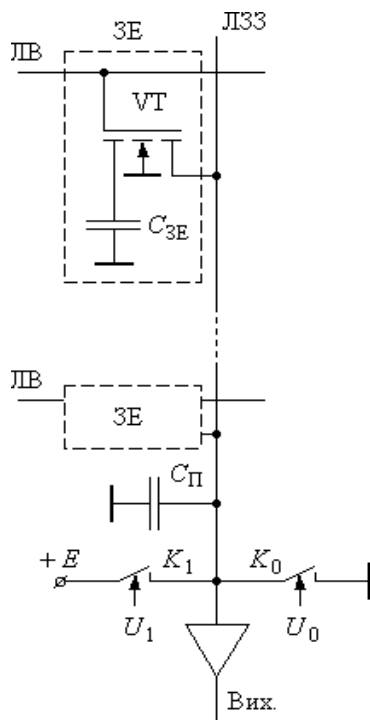
Транзистор забезпечує комутацію конденсатора з лінією запису / зчитування (ЛЗЗ), або бітовою лінією (Bit line).

У режимі зберігання транзистор закритий. Заряджений конденсатор зберігає лог. "1", розряджений – лог. "0".

Рис. 7.5.

При виборі даного ЗЕ на затвор по лінії ЛВ (лінії вибірки, або лінії слова (Word line)) подається напруга, що відкриває транзистор, і заряд конденсатора передається на ЛЗЗ. Процес запису-зчитування більш детально пояснюється рис. 7.6.

При необхідності запису одиниці або нуля у відповідний ЗЕ він активізується подачею сигналу на відповідну ЛВ. Лінія ЛЗЗ ключами K_1 або K_0



приєднується до джерела напруги високого рівня E або до загальної шини. Внаслідок такої комутації в конденсатор C_{3E} записується відповідна інформація через низькоомний канал транзистора.

Процес зчитування дещо складніший, і ця складність пояснюється тим, що ємність C_{3E} має малу величину – значно меншу, ніж паразитна ємність C_{Π} лінії ЛЗЗ. Обумовлено це тим, що ємність C_{3E} створюється на основі структури польового транзистора, а C_{Π} – це ємність

Рис. 7.6

лінії ЛЗЗ досить великої протяжності з великою кількістю підключених ЗЕ.

Перед операцією зчитування забезпечується попередній заряд конденсатора C_{Π} до напруги, яка дорівнює половині напруги E . Якщо при зчитуванні заряд конденсатора $C_{ЗЕ}$ був нульовим, то конденсатор C_{Π} лінії ЛЗЗ частково розрядиться на $C_{ЗЕ}$ до вирівнювання напруги на них, і результуюча напруга на них стане дещо меншою, ніж $E/2$, на величину ΔU , яка і є сигналом про зчитування нуля. Якщо ж конденсатор $C_{ЗЕ}$ попередньо зберігав одиницю, то, аналогічно, напруга на C_{Π} зросте на ΔU , що буде служити сигналом про зчитування одиниці. В обох випадках операція зчитування змінює напругу на конденсаторі $C_{ЗЕ}$.

Для того щоб виділити незначні відхилення потенціалу ЛЗЗ, використовуються спеціальні підсилювачі – регенератори, які забезпечують перетворення малих відхилень ΔU в сигнали логічної одиниці і нуля і в той же час відновлюють потенціал на конденсаторі $C_{ЗЕ}$.

Незначна ємність конденсатора $C_{ЗЕ}$ призводить до того, що, незважаючи на великий опір закритого каналу транзистора, заряджений до потенціалу логічної одиниці, він розряджається протягом декількох мікросекунд. Тому системи динамічної пам'яті будуються з використанням циклів регенерації. Наявність і необхідність циклів регенерації, яка забезпечується адресним зверненням до кожного ЗЕ, ускладнює взаємодію такої пам'яті з процесором і зовнішніми пристроями.

Ще однією особливістю динамічних ОЗП є мультиплексування адресної шини. Необхідність мультиплексування обумовлена двома причинами: перша з них – це потреба у зменшенні кількості виводів мікросхеми, особливо для пристроїв з великою ємністю пам'яті, друга – те, що адресні входи мікросхеми використовуються по-різному (наприклад, при регенерації адресу стовпця не використовується). Ідеологія мультиплексування полягає у тому, що весь адресний простір розділяється на дві частини – так звані напіваадреси. Ними є окремо адреси рядків і адреси стовпців, які подаються на одні й ті ж самі

виводи мікросхеми пам'яті, але супроводжуються відповідним стробом – RAS (Row Address Strobe) і CAS (Column Address Strobe).

Умовне зображення мікросхеми динамічної пам'яті серії 4000 (4164 з організацією $64K \times 1$) приведене на рис. 7.7.

На рис. 7.8 показана схема, яка пояснює метод адресації з мультиплексуванням. ЗЕ мікросхем динамічної пам'яті організовані у вигляді прямокутної (зазвичай квадратної) матриці. У приведеній схемі для звернення до ЗЕ використовуються дешифратори стовпців і рядків. На вході кожного дешифратора встановлений регістр-фіксатор. Спочатку на адресні входи подається молодша частина розрядів адреси ($A_0 \dots A_5$), після чого поступає

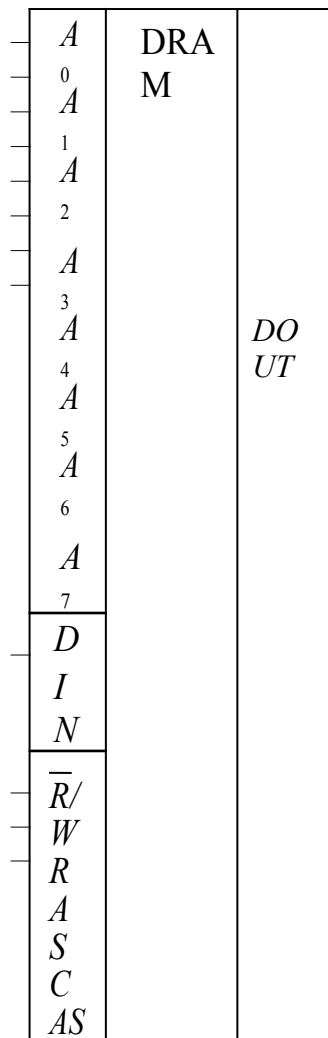


Рис. 7.7

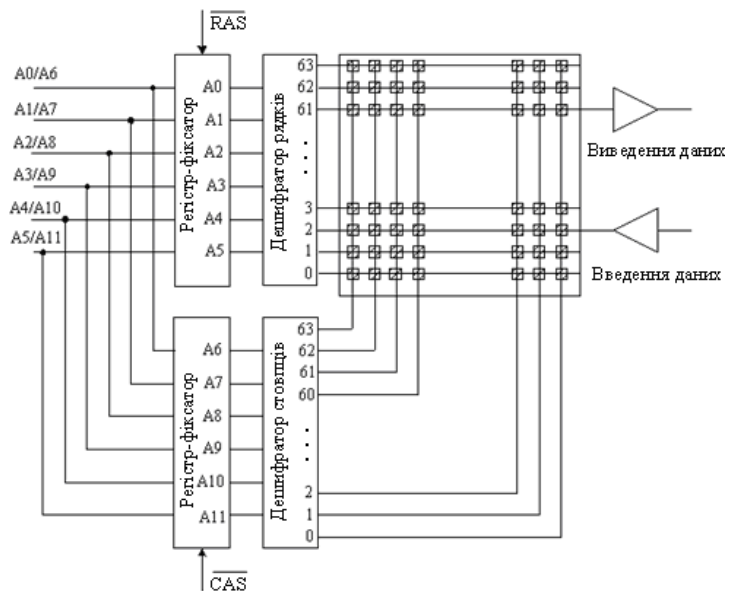


Рис. 7.8

строб адреси рядка RAS , за яким ці розряди адреси записуються у регістр-фіксатор дешифратора адреси рядка. Потім подається старша частина розрядів адреси (A6 ... A11), яка за стробом адреси стовпця CAS записується у регістр-фіксатор дешифратора адреси стовпця. Після цього у регістрах-фіксаторах зберігатиметься повна адреса, яка надає можливість звертатися до кожного ЗЕ.

Для зменшення часу регенерації при зчитуванні одного ЗЕ рядка матриці регенерується весь рядок.

В даній роботі у якості ОЗП можна використовувати мікросхему моделі НМ6116(RAM). На рис.7.9. показано умовно позначання мікросхеми на принципових схемах. На рис.7.10 та рис.7.11 показані часові діаграми запису інформації в пам'ять, а на рис. 7.12 цикл читання з пам'яті. Для запису шістнадцяти розрядних слів необхідно дві мікросхеми НМ6116(RAM), в яких використовуються такі входи:

A10...A0 – адресні входи,

WE – Вхід дозволу запису та зчитування

OE – Вхід управління станом вхідного буфера

CE - Вхід вибору кристала

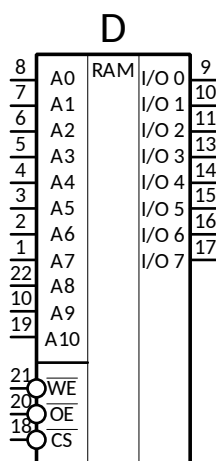


Рис. 7.9. Умовне графічне позначення

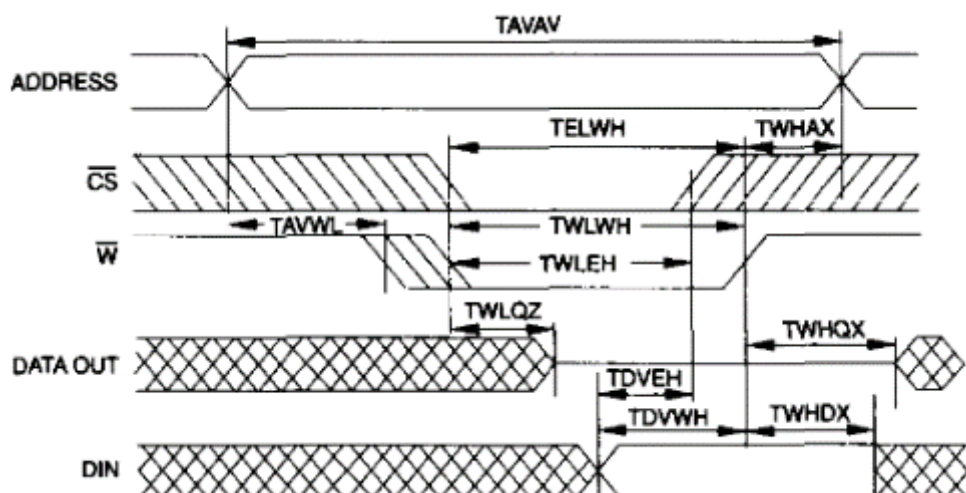


Рис. 7.10. Цикл запису 1

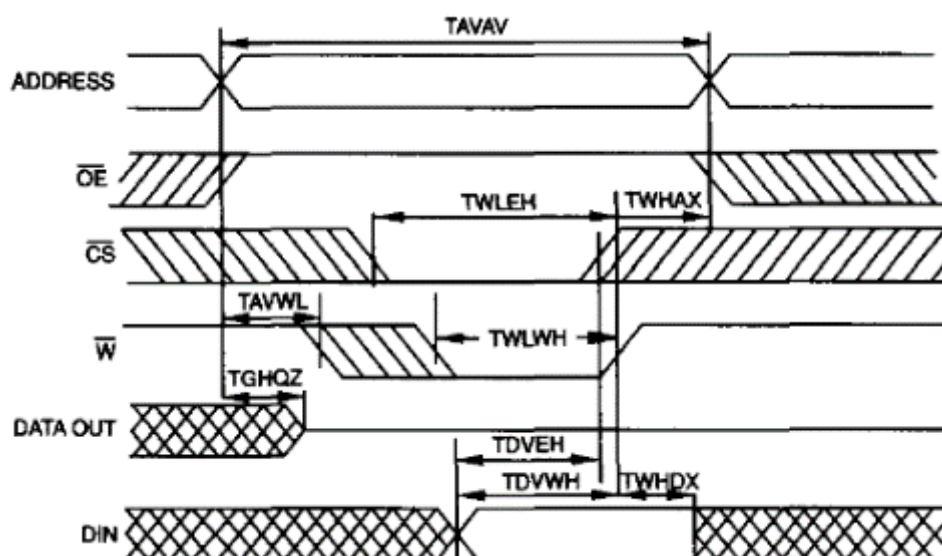
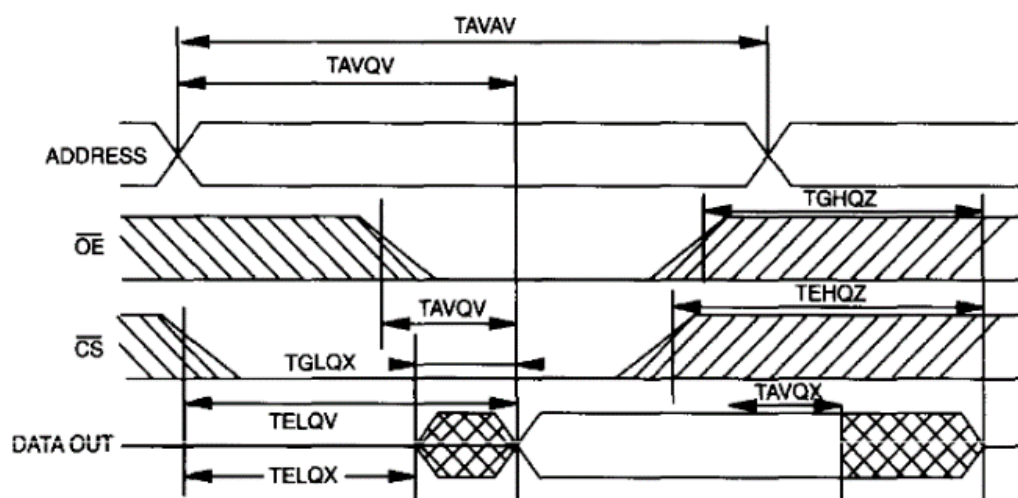


Рис. 7.11. Цикл запису 2



На вхід $\overline{WE}$ повинен подаватись високий рівень сигналу.

Рис. 7.12. Цикл читання

В якості прийомопередатчиків сигналів (шинний формувач) - мікросхему 1533АП16 (74ALS245)

Шинний формувач представляє 8 - розрядний паралельний передатчик з трьома стабільними виходами і використовується як буферний пристрій шини даних в мікропроцесорних системах.

Пристрій передає данні з шини А в шину В або з В шини у А шину , в залежності від логіки рівня в напрямку контролю (DIR - вхід керування напрямком передачі). OUT-Enable (OE) вхід може бути використаний для відключення пристрою, щоб шина була надійно ізольована.

Мікросхема DM74ALS245A рис. 7.13 містить 8 пар 3-станових логічних елементів, виконаних як восьмеричні передавальні шини. Ці схеми призначені для використання в пам'яті, мікропроцесорних системах і в асинхронних двонаправлених шинах даних. Двосторонній зв'язок між шинами контролюється входом (DIR). Дані передаються або з шини А на шину В, або з шини В на шину А. І виходи драйвера, і приймача можна відключити через вхід (G), що приводить до того, що виходи переходять у режим високого опору, щоб шини були ефективно ізольованими. Режими роботи мікросхеми показані в табл. 7.13.

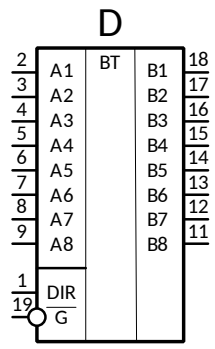


Рис. 7.13. Умовне графічне позначення

Табл. 7.13. Таблица істинності

Control Inputs		Operation
$\overline{G}$	DIR	
L	L	B Data to A Bus
L	H	A Data to B Bus
H	X	Hi-Z

Порядок виконання лабораторної роботи.

1. Ознайомитись з мікросхемами ОЗП вітчизняного та зарубіжного виробництва.

2. Скласти схему реалізації модуля ОЗП ємністю не менше 1Кх16 біт, виконаних на основі відповідно мікросхем ОЗП, шинних буферів, з наступними характеристиками інтерфейсу модуля :

- вхідна та вихідна 16 бітна шини даних;
- десятирозрядна шина адреси;
- сигнали керування вводом та виводом даних в ОЗП, записом та читання даних з ОЗП;

3. Накреслити принципову схему реалізації модуля ОЗП (модуля вводу-виводу даних в ОЗП) ємністю не менше 1Кх16 біт на основі відповідних мікросхем ОЗП, шинних буферів, у відповідності до стандартів (ГОСТ 2.743—91 та ПРАВИЛ ВИКОНАННЯ СХЕМ ЦИФРОВОЇ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ) та скласти перелік елементів схеми виконаних на листках формату А4 або А3 з відповідними кутовими штампами.

4. Побудувати модель заданої схеми вводу та виводу даних з ОЗП, з використанням програми моделювання цифрових схем MultiSim, здійснити тестову перевірку її роботи з побудовою відповідної часової діаграми запису в ОЗП та читання з нього 4 слів(16 бітного коду) коду, утвореного з відповідної кількості коду цифрових значень символів власного прізвища та імені.

Зміст звіту.

1. Накреслити умовні графічні позначення використаних мікросхем ОЗП та їх основні технічні характеристики, навести відповідну часову їх діаграму..

2. Принципова схема реалізації модуля ОЗП.

3.Схема дослідження роботи модуля ОЗП та часова діаграма роботи модуля ОЗП запису та читання чотирьох слів(16 бітного коду) .

4.Висновок.

Лабораторна робота № 8-9

Дослідження суматорів ІС ТТЛ (ТТЛШ).

Мета роботи: вивчення та практичне дослідження інтегральних мікросхем ТТЛ (ТТЛШ) групи суматорів, контролювання їх роботи за допомогою стенда та осцилоскопа.

Загальні відомості.

Суматори – це комбінаційні пристрої, що здійснюють основну арифметичну операцію – додавання чисел в двійковому коді. Найбільш поширені двійкові повні суматори.

Кожний розряд двійкового повного суматора має три входи (А і В – для доданків, Р0 – сигнал переносу від попереднього розряду) і два виходи (S – суми і Р – сигналу переносу в наступний розряд). Входи А, В і Р0 в загальному рівноправні. Сигнал суми S приймає значення лог.1 при непарній кількості одиниць на входах А, В і Р0, і лог.0 при парній. Сигнал переносу Р рівен лог.1 при кількості одиниць на входах, рівній 2 або 3. Логічні функції виходів повного одноразрядного суматора:

$$S = A \oplus B \oplus P_0$$

$$P = A \cdot B \vee B \cdot P_0 \vee A \cdot P_0$$

На основі повних однорозрядних суматорів будуються схеми багаторозрядних суматорів.

Умовні графічні позначення ІС ТТЛ і ТТЛШ суматорів наведено на рис.8.1.

Мікросхема К155ИМ1 являє собою однорозрядний повний суматор.

Мікросхема К155ИМ2 – це двохрозрядний повний суматор без додаткових інверсних та керуючих входів.

Мікросхема К155ИМ3 – це швидкодіючий повний 4-розрядний двійковий суматор. Він приймає два 4-розрядних слова по входах даних А0..А3 і В0..В3, а по входу Р0 – сигнал переносу. В мікросхемі суматора міститься також схема прискореного переносу. Суми розрядів вхідних слів з’являються на виходах S0..S3, а на виході Р4 формується сигнал переносу.

Суматор працює із словами як додатньої (високий рівень – лог.1), так і від’ємної (високий рівень – лог.0) логік. Сумування проводиться згідно рівняння:

$$2^4 P_4 + 2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0 = 2^3 (A_3 + B_3) + 2^2 (A_2 + B_2) + 2^1 (A_1 + B_1) + 2^0 (A_0 + B_0) + P_0$$

Мікросхема К555ИМ6 – швидкодіючий повний 4-розрядний двійковий суматор. Логіка його роботи відповідає логіці роботи суматора К155ИМ3. В зв’язку із симетрією двійкової логіки ИМ6 також можна використовувати як з високорівневою, так і з низькорівневою логіками.

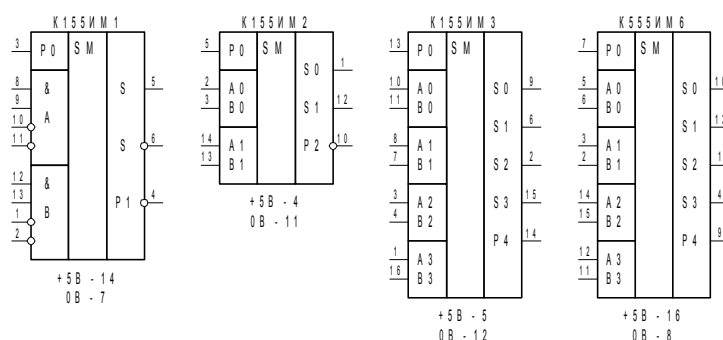


Рис.8.1. Умовні графічні позначення суматорів ІС ТТЛ (ТТЛШ).

В табл.8.1 наведено основні параметри мікросхем суматорів ТТЛ і ТТЛШ – середня споживана потужність ($P_{\text{сер}}$) та середня затримка ($t_{\text{сер}}$).

Таблица 8.1.

Позначення ІС	$P_{\text{сер}}$, мВт	$t_{\text{сер}}$, нс
К155ИМ1	175	55
К155ИМ2	290	35
К155ИМ3	640	45
К555ИМ6	85	24

В лабораторній роботі досліджується мікросхема суматора К155ИМ3. На рис.8.2 наведено його принципову схему.

Сигнали на виходах суматора визначаються за наступними логічними виразами:

$$S_0 = \overline{A_0 \cdot B_0} \cdot (A_0 \vee B_0) \oplus P_0$$

$$S_1 = \overline{A_1 \cdot B_1} \cdot (A_1 \vee B_1) \oplus \overline{A_0 \vee B_0 \vee A_0 \cdot B_0 \cdot P_0}$$

$$S_2 = \overline{A_2 \cdot B_2} \cdot (A_2 \vee B_2) \oplus \overline{A_1 \vee B_1 \vee A_1 \cdot B_1 \cdot A_0 \vee B_0 \vee A_1 \cdot B_1 \cdot A_0 \cdot B_0 \cdot P_0}$$

$$S_3 = \overline{A_3 \cdot B_3} \cdot (A_3 \vee B_3) \oplus \overline{A_2 \vee B_2 \vee A_2 \cdot B_2 \cdot A_1 \vee B_1 \vee A_2 \cdot B_2 \cdot A_1 \cdot B_1 \cdot A_0 \vee B_0 \vee A_2 \cdot B_2 \cdot A_1 \cdot B_1 \cdot A_0 \cdot B_0 \cdot P_0}$$

$$P_4 = \overline{A_3 \vee B_3 \vee A_3 \cdot B_3 \cdot A_2 \vee B_2 \vee A_3 \cdot B_3 \cdot A_2 \cdot B_2 \cdot A_1 \vee B_1 \vee A_3 \cdot B_3 \cdot A_2 \cdot B_2 \cdot A_1 \cdot B_1 \cdot A_0 \vee B_0 \vee A_3 \cdot B_3 \cdot A_2 \cdot B_2 \cdot A_1 \cdot B_1 \cdot A_0 \cdot B_0 \cdot P_0}$$

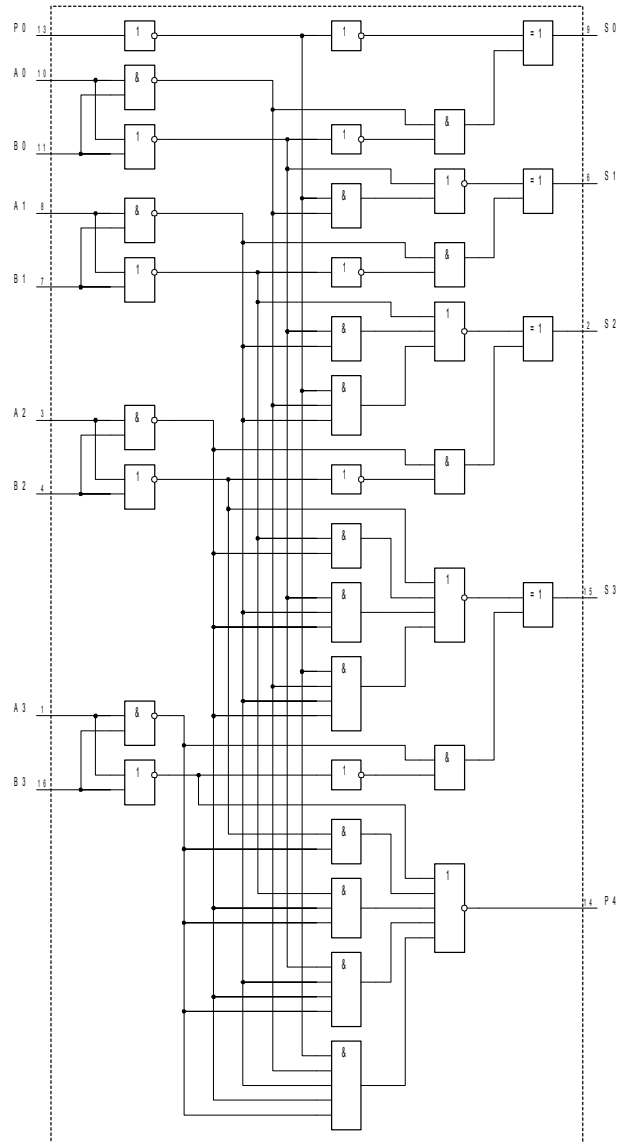


Рис.8.2. Принципова схема суматора типу К155ІМ3.

На рис.8.3(а) наведено монтажну схему включення суматора. На входи додавання В0..В3 подаються імпульси з виходів подільника частоти стенду (F/2, F/4, F/8 та F/16 відповідно). Ці входи, а також входи суматора S0..S3 підключені до входів 8-канального комутатора стенда. До входів додавання

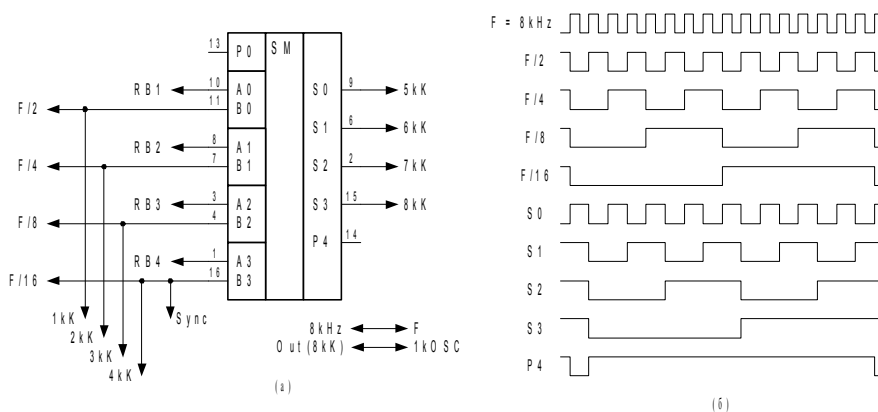


Рис.8.3.Монтажна схема включення суматора типу К155ИМ3 (а) і часові діаграми вхідних та вихідних сигналів (б).

Порядок виконання лабораторної роботи.

1. Увімкнути живлення осцилоскопа та стенда.
2. Скласти на стенді монтажну схему включення суматора (рис.9.3(а)).
3. Сформувати за допомогою регістра бітів на входах суматора значення індивідуального цифрового коду.
4. Спостерігати на екрані осцилоскопа часові діаграми вхідних та вихідних сигналів суматора, порівняти їх з діаграмами в зошиті (підготовленими на основі рис.9.3(б)).
5. Вимкнути живлення осцилоскопа і стенда.

Зміст звіту.

1. Умовні графічні позначення мікросхем суматорів та їх основні технічні параметри.
2. Принципова схема суматора типу К155ИМ3.
3. Монтажна схема включення суматора типу К155ИМ3 на лабораторному стенді.
4. Таблиця істиності.
5. Часові діаграми згідно індивідуального завдання.
6. Висновки.

Контрольні питання.

1. Принципи побудови суматорів та області їх застосування.

2. Принцип дії суматора типу К155ИМ3.

3. Робота стенду.

Дослідження роботи суматорів

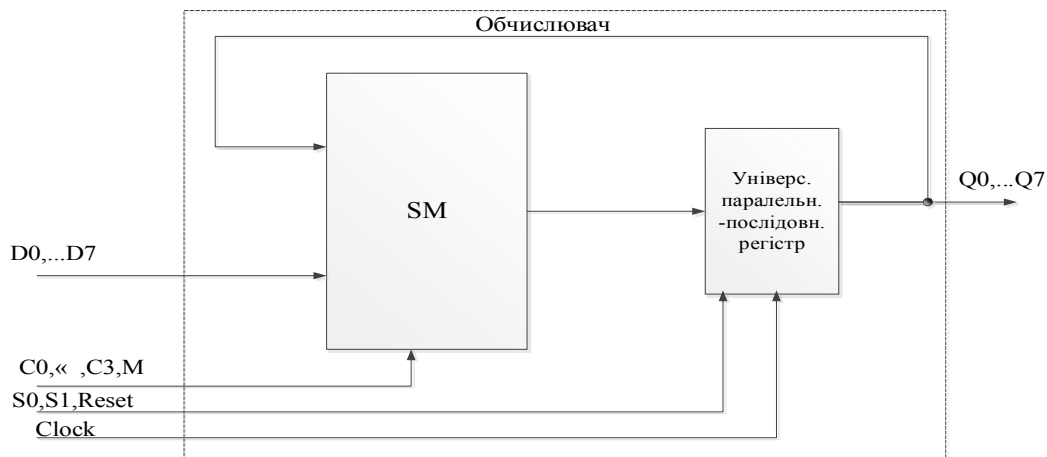


Рис. 9.1. Функціональна схема обчислювача на суматорі.

На рис. 9.1. показана функціональна схема обчислювача на суматорі.

Завдання:

1. Накреслити електричну принципову схему обчислювача.
2. Скласти перелік елементів.
3. Дослідити роботу схеми обчислювача при обчисленні одного значення

Y за двома значеннями X1 та X2 за формулою, що вказана у варіантах завдань на курсову роботу.

В данній роботі в якості регістру зсуву можна використати мікросхему SN74198 (74F198)

Мікросхема SN74198 (74F198) рис. 9.2 містить реверсивний 8-розрядний регістр зсуву даних з паралельним і послідовним введенням-виведенням інформації.

Якщо на вхід скидання Clear мікросхеми подається напруга високого рівня, то режим роботи визначається станами входів S0 і S1 (режим управління).

Зсув даних вліво відбувається, коли таке напруга подається на входи S0 і S1. При цьому дані послідовно надходять на вхід DL. Зсув даних мікросхеми вправо відбувається, коли на вхід S0 подається напруга високого, а на вхід S1 — низького рівня, при цьому дані послідовно надходять на вхід DR.

Якщо на обидва входи S0 і S1 мікросхеми подається напруга високого рівня, то можливе паралельне завантаження даних з входів P0 — P7.

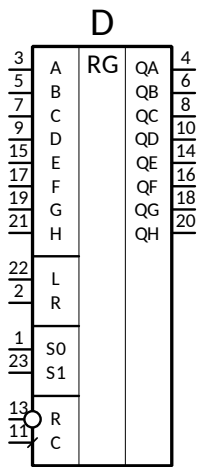


Рис. 9.2. Умовне графічне позначення

Робота мікросхеми SN74198 (74F198) описується таблицею 9.1.

Табл. 9.1. Таблиця істинності

Входи				Функція
Clear	Clock	S0	S1	
0	X	X	X	Асинхронне скидання
1		1	1	Паралельне завантаження
1		0	1	Зсув вправо
1		1	0	Зсув вліво
1	X	0	0	Зберігання даних

Табл. 9.1. Таблиця істинності

Зміст звіту кожної з лабораторних робіт.

1. Накреслити умовні графічні позначення використаних при реалізації вказаної задачі мікросхем серії ТТЛ, та навести основні їх технічні характеристики, відповідну часову діаграму їх роботи.
2. Подати принципову схему реалізації вказаної комбінаційної схеми чи функціонального модуля.
3. Подати часову діаграму роботи вказаної комбінаційної схеми чи функціонального модуля.
4. Навести схему дослідження роботи заданої комбінаційної схеми чи функціонального модуля та відповідні результати тестової перевірки їх роботи (часова діаграма) .
5. Висновок.

Лабораторна робота № 10-11

Дослідження АЛП ІС ТТЛ (ТТЛШ).

Мета роботи: вивчення та практичне дослідження АЛП інтегральних мікросхем ТТЛ (ТТЛШ), контролювання його роботи за допомогою стенда та осцилоскопа.

Загальні відомості.

До появи однокристальних мікропроцесорів складові частини малих ЕОМ виконувались у вигляді окремих ВІС. Головним вузлом мікропроцесора є арифметично-логічний пристрій (АЛП), який дозволяє виконувати різні арифметичні та логічні функції над двома багаторозрядними операндами в залежності від керуючого коду, що подається на його відповідні входи керування.

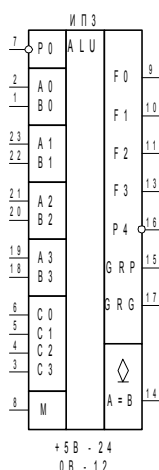


Рис.10.1. Умовне графічне позначення АЛП ІС ТТЛ (ТТЛШ) типу ИПЗ.

На рис.10.1 наведено умовне графічне позначення чотирьохразрядного АЛП ТТЛ типу К155ИПЗ.

Мікросхема ИПЗ – 4-розрядний швидкісний АЛП. Він може працювати в двох режимах, виконуючи або 16 логічних, або 16 арифметичних операцій. Для отримання максимальної швидкодії при обробці багаторозрядних цифрових слів в схемі АЛП присутня внутрішня схема прискореного переносу. На входи A0..A3 подається 4-розрядне слово A (операнд A), на входи B0..B3 – слово-операнд B. АЛП має 4 входи вибору C0..C3, за допомогою яких можна

вибрати $2^4 = 16$ функцій пристрою. За допомогою входу М (Mode) АЛП переключається в режим виконання логічних (М=1) або арифметичних (М=0) функцій двох змінних. Таким чином загальна кількість функцій, які виконуються АЛП складає 32.

На вхід $\overline{P_0}$ приймається вхідний сигнал переносу (активний рівень – лог.0). Результат виконання однієї з 32 вибраних функцій з'являється на виходах F0..F3. На виході $\overline{P_4}$ формується сигнал переносу після чотирьох розрядів (активний рівень – лог.0). Цей сигнал подається на вхід $\overline{P_0}$ наступного АЛП при побудові схем АЛП великої розрядності.

Мікросхема ИПЗ має три додаткових виходи: А=В – вихід компаратора, який відображає рівність операндів (має вихідний каскад з відкритим колектором), GRG – вихід генерації переносу і GRP – вихід розповсюдження переносу, які використовуються при побудові багаторозрядних АЛП з прискореним переносом.

Мікросхема ИПЗ керується паралельними входами вибору C0..C3 і входом керування режимом М. Якщо на вході М лог.1, забороняються всі внутрішні переноси і пристрій буде виконувати логічні операції порозрядно. При лог.0 на вході М переноси дозволяються і будуть виконуватись арифметичні операції над двома 4-розрядними словами. Завдяки повній внутрішній схемі прискореного переносу сигнал переносу на виході $\overline{P_4}$ з'являється при кожному вхідному сигналі переносу, що надходить на вхід $\overline{P_0}$. Для організації переносу між корпусами АЛП, об'єднаними в багаторозрядну схему, використовуються виходи GRG і GRP. Дані, що з'являються на них, не залежать від стану входу переносу $\overline{P_0}$.

Якщо від багатокорпусного АЛП не вимагається максимальної швидкодії, можна використати простий режим пульсуючого переносу. Для цього вихід переносу $\overline{P_4}$ з'єднують з входом переносу $\overline{P_0}$ наступного АЛП. Для забезпечення високошвидкісних операцій необхідно включати між АЛП ИПЗ спеціальну мікросхему прискореного переносу (наприклад ИП4).

На виході компаратора, тобто на виході відображення еквівалентності $A=B$ буде лог.1, якщо на усіх чотирьох виходах $F0..F3$ з'явилися лог.1. Цей вихід застосовується для відображення логічної еквівалентності 4-розрядних слів, якщо АЛП працює в режимі віднімання. Сигнал $A=B$ можна використовувати разом з сигналом $\overline{P4}$ для визначення співвідношень $A>B$ або $A<B$.

Таблиця 10.1.

Вибір функції				Пряма логіка		Інверсна логіка	
C	C2	C1	C	Логічні функції	Арифметичні функції	Логічні функції	Арифметичні функції
3			0	(M=1)	(M=0)	(M=1)	(M=0)
0	0	0	0	$\overline{A}$	$A + \overline{P0}$	$\overline{A}$	$A - 1 + P0$
0	0	0	1	$\overline{A \vee B}$	$(A \vee B) + \overline{P0}$	$\overline{A \bullet B}$	$A \bullet B - 1 + P0$
0	0	1	0	$\overline{A \bullet B}$	$(A \vee \overline{B}) + \overline{P0}$	$\overline{A \vee B}$	$A \bullet \overline{B} - 1 + P0$
0	0	1	1	0	$-1 + \overline{P0}$	1	$-1 + P0$
0	1	0	0	$\overline{A \bullet B}$	$A + A \bullet \overline{B} + \overline{P0}$	$\overline{A \vee B}$	$A + (A \vee \overline{B}) + P0$
0	1	0	1	$\overline{B}$	$(A \vee B) + A \bullet \overline{B} + \overline{P0}$	$\overline{B}$	$A \bullet B + (A \vee \overline{B}) + P0$
0	1	1	0	$A \oplus B$	$A - B - 1 + \overline{P0}$	$\overline{A \oplus B}$	$A - B - 1 + P0$
0	1	1	1	$A \bullet \overline{B}$	$A \bullet \overline{B} - 1 + \overline{P0}$	$A \vee \overline{B}$	$(A \vee \overline{B}) + P0$
1	0	0	0	$\overline{A \vee B}$	$A + A \bullet B + \overline{P0}$	$\overline{A \bullet B}$	$A + (A \vee B) + P0$
1	0	0	1	$\overline{A \oplus B}$	$A + B + \overline{P0}$	$A \oplus B$	$A + B + P0$
1	0	1	0	B	$(A \vee \overline{B}) + A \bullet B + \overline{P0}$	B	$A \bullet \overline{B} + (A \vee B) + P0$
1	0	1	1	$A \bullet B$	$A \bullet B - 1 + \overline{P0}$	$A \vee B$	$(A \vee B) + P0$
1	1	0	0	1	$A + A + \overline{P0}$	0	$A + A + P0$
1	1	0	1	$A \vee \overline{B}$	$A + (A \vee B) + \overline{P0}$	$A \bullet \overline{B}$	$A + A \bullet B + P0$
1	1	1	0	$A \vee B$	$A + (A \vee \overline{B}) + \overline{P0}$	$A \bullet B$	$A + A \bullet \overline{B} + P0$
1	1	1	1	A	$A - 1 + \overline{P0}$	A	$A + P0$

АЛП ИПЗ може працювати з прямою логікою (лог.1 – високій рівень) та з інверсною логікою (лог.1 – низький рівень). В залежності від цього змінюються знаки інверсії на входах і виходах ($P0$, $\overline{A0} .. \overline{A3}$, $\overline{B0} .. \overline{B3}$, $\overline{F0} .. \overline{F3}$, $P4$, $\overline{GRG}$, $\overline{GRP}$ при інверсній логіці), а також отримуються різні таблиці відповідності логічних та арифметичних функцій кодам вибору функції (входи

C0..C3). В табл.10.1 наведено вибір функцій АЛП для прямої та для від'ємної логік.

На рис.10.2 наведено принципову схему АЛП типу ИПЗ, а в табл.10.2 – основні параметри мікросхем АЛП ИПЗ різних серій ТТЛ (ТТЛШ) – середня споживана потужність ($P_{\text{сер}}$) та середня затримка ($t_{\text{сер}}$).

Таблиця 10.2.

Позн ІС	K155		K555		KP531	
	$P_{\text{сер}}$	$t_{\text{сер}}$	$P_{\text{сер}}$	$t_{\text{сер}}$	$P_{\text{сер}}$	$t_{\text{сер}}$
	мВт	нс	мВт	нс	мВт	нс
ИПЗ	750	42	185	32	1100	17

На рис.10.3 наведено монтажну схему включення АЛП на стенді. Як видно із схеми, на входи вибору функції C0..C3 подано синхропослідовності імпульсів з виходів подільника частоти стенду ($F/2$, $F/4$, $F/8$, $F/16$). За допомогою розряду RB5 регістра бітів здійснюється переключення режиму роботи мікросхеми (логічні та арифметичні функції). Таким чином наведена схема дозволяє дослідити всю множину функцій АЛП ИПЗ.

За допомогою розрядів RB1..RB4 регістра бітів задається індивідуальний цифровий код студента, який призначається викладачем. При цьому молодший розряд регістра бітів відповідає молодшому розряду індивідуального коду.

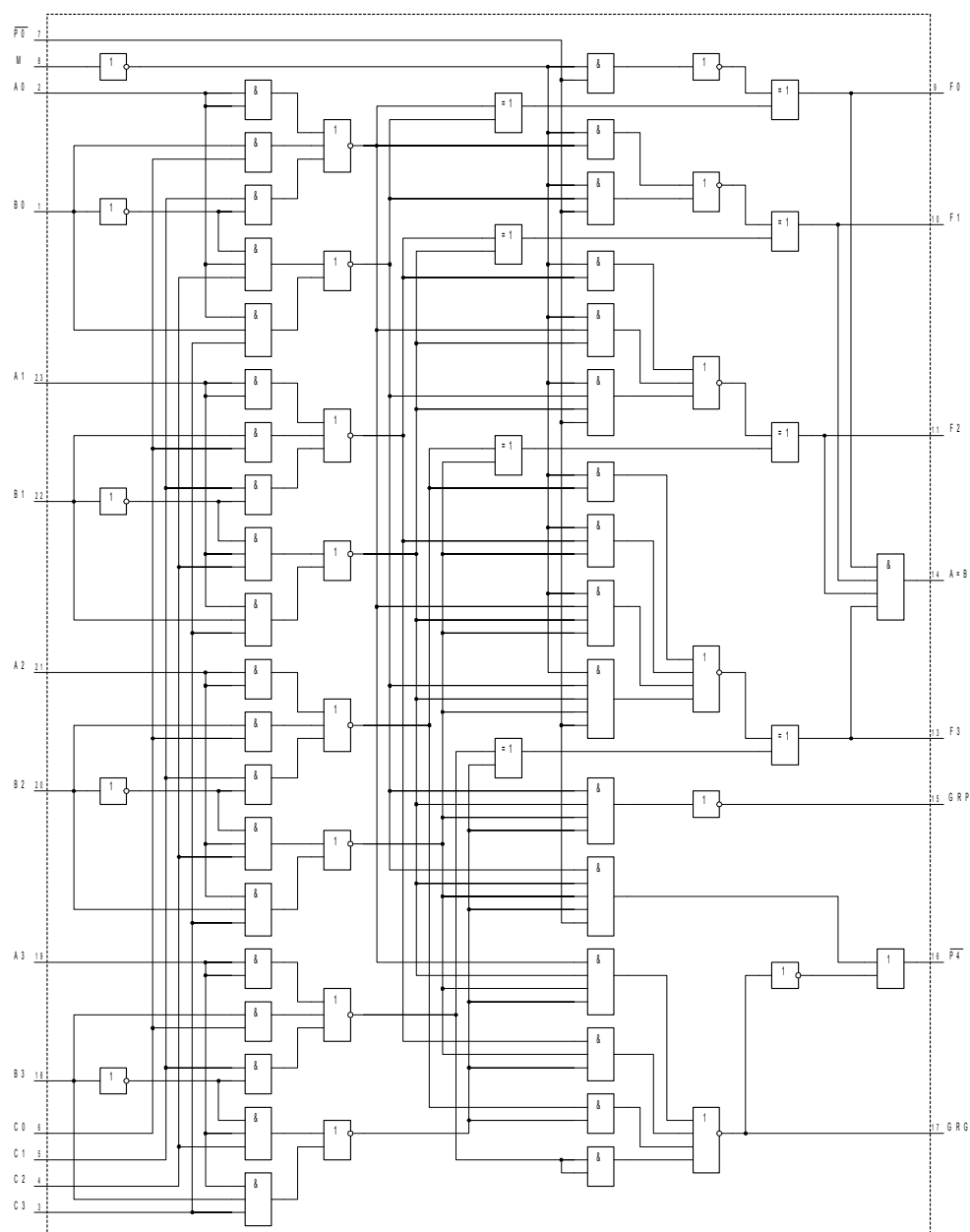


Рис.10.2. Принципова схема АЛП ИПЗ.

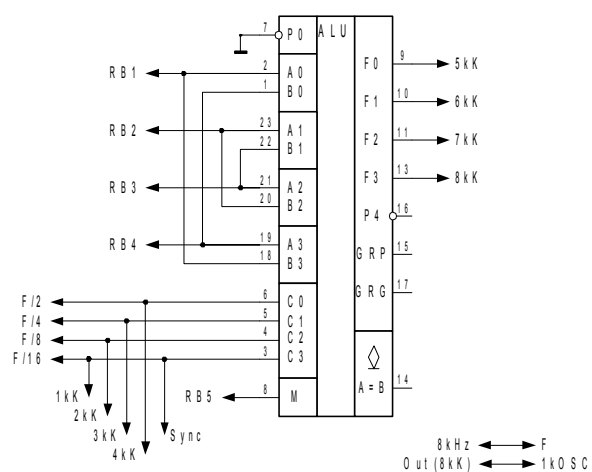


Рис.10.3. Монтажна схема включення АЛП типу К155ІПЗ.

В табл.10.3 наведено приклад таблиці істиності для варіанту №14 ($RB1=0$, $RB2=1$, $RB3=1$, $RB4=1$), а на рис.10.4(а) і 10.4(б) – часові діаграми часові діаграми вхідних та вихідних сигналів схеми для цього прикладу в режимах виконання логічних ($M=1$) та арифметичних ($M=0$) функцій відповідно.

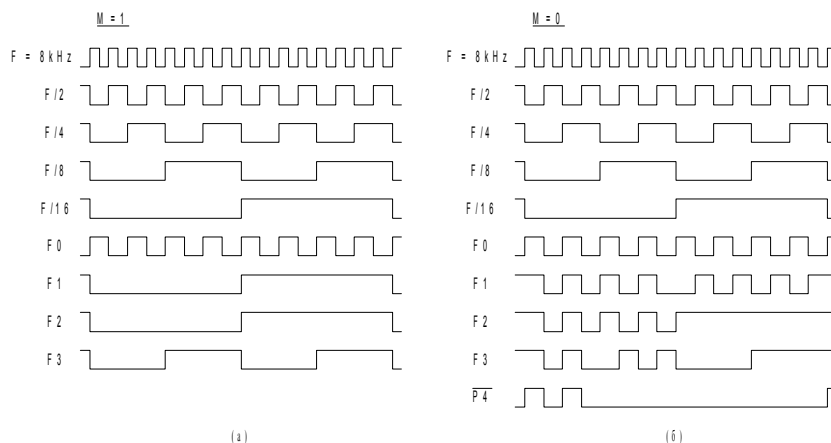


Рис.10.4. Часові діаграми вхідних та вихідних сигналів АЛП ИПЗ в режимі виконання логічних функцій ($M = 1$) (а) та арифметичних функцій ($M = 0$) (б).

Таблиця 10.3.

Входи										Виходи											
дані							вибір функції			M=1				M=0							
A	A	A	A	B	B	B	B	$\overline{P0}$	C	C	C	C	F	F	F	F	$\overline{P4}$	F	F	F	F
3	2	1	0	3	2	1	0		3	2	1	0	3	2	1	0		3	2	1	0
1	1	1	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1
1	1	1	0	0	1	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	1	1	0	0	1	1	1	0	0	0	1	0	0	0	0	1	1	1	1	1	1
1	1	1	0	0	1	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0
1	1	1	0	0	1	1	1	0	0	1	0	0	1	0	0	1	0	0	1	1	1
1	1	1	0	0	1	1	1	0	0	1	0	1	1	0	0	0	0	1	0	0	0
1	1	1	0	0	1	1	1	0	0	1	1	0	1	0	0	1	0	0	1	1	1
1	1	1	0	0	1	1	1	0	0	1	1	1	1	0	0	0	0	1	0	0	0
1	1	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1	0	0	1	0	1
1	1	1	0	0	1	1	1	0	1	0	0	1	0	1	1	0	0	0	1	1	0
1	1	1	0	0	1	1	1	0	1	0	1	0	0	1	1	1	0	0	1	0	1
1	1	1	0	0	1	1	1	0	1	0	1	1	0	1	1	0	0	0	1	1	0
1	1	1	0	0	1	1	1	0	1	1	0	0	1	1	1	1	0	1	1	0	1

1	1	1	0	0	1	1	1	0	1	1	0	1	1	1	0	0	1	1	1	0
1	1	1	0	0	1	1	1	0	1	1	1	0	1	1	1	1	0	1	1	0
1	1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	0	0	1	1	0

Порядок виконання лабораторної роботи.

1. Увімкнути живлення осцилоскопа та стенда.
2. Скласти на стенді монтажну схему включення АЛП типу K155ИПЗ (рис.10.3).
3. Сформувані за допомогою регістра бітів на входах АЛП значення індивідуального цифрового коду.
4. Спостерігати на екрані осцилоскопа часові діаграми роботи АЛП в режимі виконання логічних функцій (при M=1), порівняти їх з діаграмами в зошиті (підготовленими на основі рис.10.4(а)).
5. Спостерігати на екрані осцилоскопа часові діаграми роботи АЛП в режимі виконання арифметичних функцій (при M=0), порівняти їх з діаграмами в зошиті (підготовленими на основі рис.10.4(б)).
6. Вимкнути живлення осцилоскопа і стенда.

Зміст звіту.

1. Умовне графічне позначення мікросхеми АЛП типу K155ИПЗ та її основні технічні параметри.
2. Принципова схема АЛП типу K155ИПЗ.
3. Монтажна схема включення АЛП типу K155ИПЗ на лабораторному стенді.
4. Таблиця істиності АЛП.
5. Часові діаграми входних та вихідних сигналів АЛП в режимі виконання логічних функцій (при M=1) згідно індивідуального завдання.
6. Часові діаграми входних та вихідних сигналів АЛП в режимі виконання арифметичних функцій (при M=0) згідно індивідуального завдання.
7. Висновки.

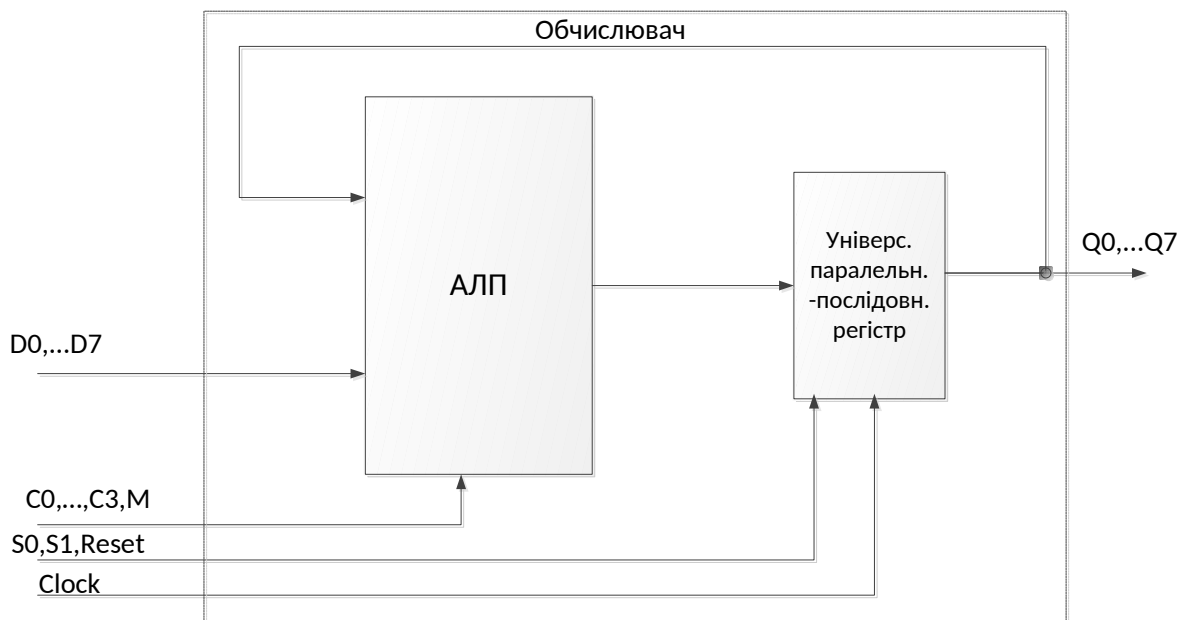
Контрольні питання.

1. Принципи побудови АЛП та області їх застосування.

2. Принцип дії АЛП типу К155ИПЗ.

3. Робота стенду.

Дослідження роботи арифметико-логічних пристроїв



Завдання:

1. Накреслити електричну принципову схему обчислювача.
2. Скласти перелік елементів.
3. Дослідити роботу схеми обчислювача при обчисленні одного значення Y за двома значеннями $X1$ та $X2$ за формулою, що вказана у варіантах завдань на курсову роботу.

Рис. 11.1. Функціональна схема обчислювача на АЛП.

Завдання:

1. Накреслити електричну принципову схему обчислювача.
2. Скласти перелік елементів.
3. Дослідити роботу схеми обчислювача при обчисленні одного значення Y за двома значеннями $X1$ та $X2$ за формулою, що вказана у варіантах завдань на курсову роботу.

В данній роботі в якості регістру зсуву можна використати мікросхему SN74198 (74F198)

Мікросхема SN74198 (74F198) рис. 11.2 містить реверсивний 8-розрядний регістр зсуву даних з паралельним і послідовним введенням-виведенням інформації.

Якщо на вхід скидання Clear мікросхеми подається напруга високого рівня, то режим роботи визначається станами входів S0 і S1 (режим управління).

Зсув даних вліво відбувається, коли таке напруга подається на входи S0 і S1. При цьому дані послідовно надходять на вхід DL. Зсув даних мікросхеми вправо відбувається, коли на вхід S0 подається напруга високого, а на вхід S1 — низького рівня, при цьому дані послідовно надходять на вхід DR.

Якщо на обидва входи S0 і S1 мікросхеми подається напруга високого рівня, то можливе паралельне завантаження даних з входів P0 — P7.

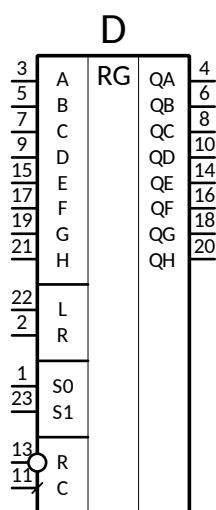


Рис. 11.2. Умовне графічне позначення

Робота мікросхеми SN74198 (74F198) описується таблицею 11.1.

Табл. 11.1. Таблиця істинності

Входи				Функція
Clear	Clock	S0	S1	
0	X	X	X	Асинхронне скидання
1	┐	1	1	Паралельне завантаження
1	┐	0	1	Зсув вправо
1	┐	1	0	Зсув вліво
1	X	0	0	Зберігання даних

Зміст звіту кожної з лабораторних робіт.

1. Накреслити умовні графічні позначення використаних при реалізації вказаної задачі мікросхем серії TTL, та навести основні їх технічні характеристики, відповідну часову діаграму їх роботи.

2. Подати принципову схему реалізації вказаної комбінаційної схеми чи функціонального модуля.

3. Подати часову діаграму роботи вказаної комбінаційної схеми чи функціонального модуля.

4. Навести схему дослідження роботи заданої комбінаційної схеми чи функціонального модуля та відповідні результати тестової перевірки їх роботи (часова діаграма) .

5. Висновок.

Лабораторна робота № 12-13

Дослідження ІС цифро-аналогових та аналого-цифрових перетворювачів.

Мета роботи: вивчення та практичне засвоєння процесу моделювання цифро-аналогових та аналого-цифрових перетворювачів, розробка електричних принципових схем та дослідження їх роботи за допомогою програми Multisim.

Загальні відомості.

Основні характеристики ЦАП і АЦП

Статичні характеристики

Визначаються видом характеристики перетворення, що встановлює відповідність між значеннями аналогової величини і цифрового коду, і відповідають за точність перетворення.

До статичних параметрів відносять:

- *розрядність n* – число розрядів цифрового коду, який формується на виході АЦП або подається на вхід ЦАП.

- *максимальна кількість кодових комбінацій* (рівнів квантування) на виході АЦП або вході ЦАП, що визначається числом розрядів цифрового коду і дорівнює: 2^n – для двійкових ЦАП (АЦП); 3^n – для трійкових ЦАП (АЦП);

- *максимальна напруга U_{max}* (діапазон зміни вихідної напруги) – це максимальна вхідна напруга для АЦП і вихідна для ЦАП;

- *роздільна здатність* (абсолютна роздільна здатність) – найменше змінне значення вхідної величини, що розрізняється пристроєм і фіксується на виході.

Роздільна здатність для ЦАП - це мінімальне значення зміни вихідного сигналу, обумовлене зміною вхідного коду на одиницю у молодшому розряді.

Для АЦП – це мінімальна зміна величини аналогового сигналу, що викликає збільшення або зменшення вихідного коду на одиницю у молодшому розряді;

- нелінійність δ_L – це максимальне відхилення точки реальної характеристики перетворення від ідеальної;

- *диференціальна нелінійність* – це відхилення дійсного кроку квантування від його середнього значення;

- *абсолютна похибка перетворення в кінцевій точці шкали* – відхилення реальних максимальних значень вхідного для АЦП і вихідного для ЦАП аналогових сигналів від значень, що відповідають кінцевій точці ідеальної характеристики перетворення

- *напруга зсуву нуля U_0*

Для АЦП це напруга, яку необхідно прикласти до його входу для отримання нульового вихідного коду.

Для ЦАП - це напруга, наявна на його виході при подачі на вхід нульового коду.

Динамічні характеристики

Динамічні властивості ЦАП і АЦП характеризуються такими параметрами:

- *максимальна частота перетворення* – найбільша частота дискретизації, при якій задані параметри відповідають встановленим нормам;

- *час перетворення* – це інтервал часу від подачі цифрового коду на вхід ЦАП до появи вихідної напруги або інтервал часу від моменту зміни аналогового сигналу на виході АЦП до появи на його виході відповідного стійкого коду.

Перетворення безперервних сигналів у дискретні

Процес аналого-цифрового перетворення показаний на рисунку 1 і полягає у послідовному виконанні таких дій:

процедура вибірки – вибірка значень вхідної аналогової величини у деякий заданий момент часу, тобто відбувається дискретизація сигналу у часі (рис. 12.1а).

Один із показників якості трансформації безперервного аналогового сигналу в цифровий сигнал – це *частота дискретизації*;

процес квантування - округлення до деяких відомих величин (рівнів квантування) отриманих у дискретні моменти часу значень аналогової величини.

У даному випадку на якість аналого-цифрового перетворення впливає кількість рівнів квантування, використовуваних для заміни безперервного аналогового сигналу на цифровий сигнал (рис. 12.1б);

- *кодування* - заміна знайдених окремих у часі значень вхідного сигналу на числові коди (рис. 12.1г).

Одна з основних проблем, з якою стикаються при перетворенні безперервного сигналу в дискретний, це проблема вибірки інтервалу дискретизації (частоти дискретизації).

Розглянемо вибірку сигналу форми синусоїди. На рисунку 12.2 наведений випадок, коли період сигналу T і інтервал дискретизації вибірки збігаються. У результаті виходить, що сигнал не змінюється в часі і відповідно не відображає форми початкового сигналу.

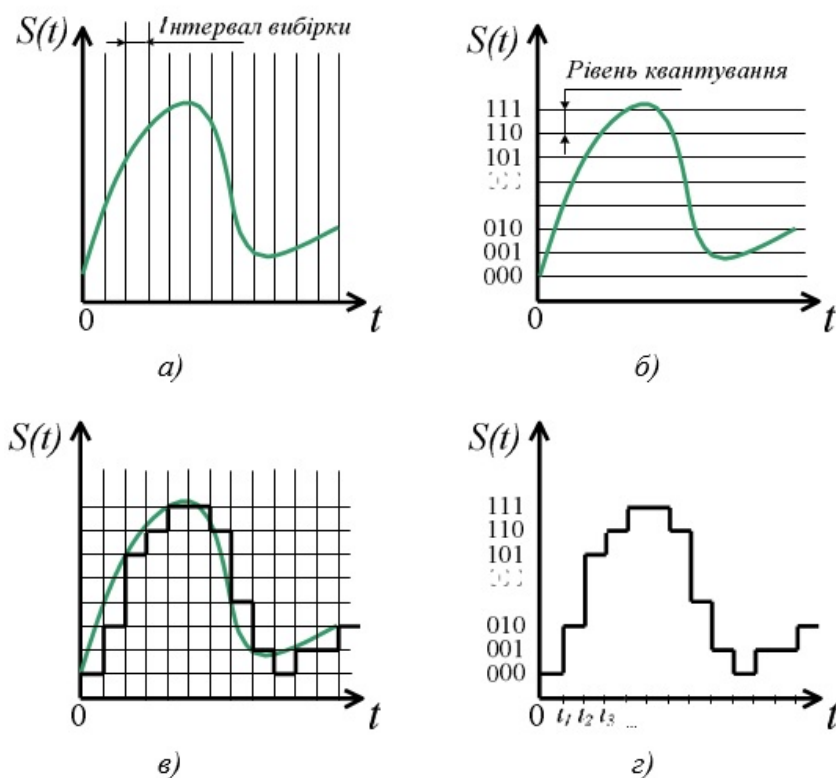


Рис. 12.1. Перетворення аналогового сигналу у цифровий: а) процедура вибірки; б) процес квантування;

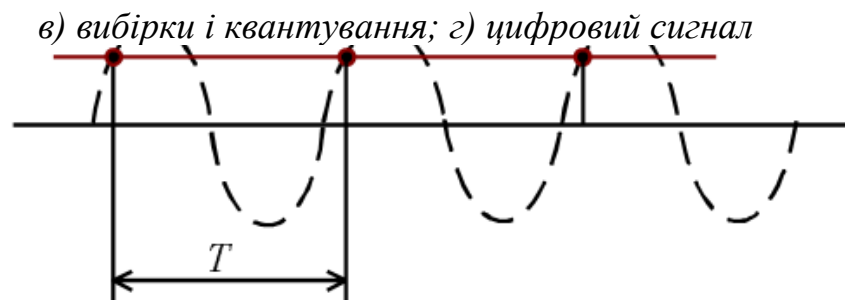


Рис. 12.2

Зменшимо інтервал дискретизації вибірки до половини періоду сигналу, як показано на рисунку 12.3. У цьому випадку є імовірність набрати тільки нульових значень сигналу.

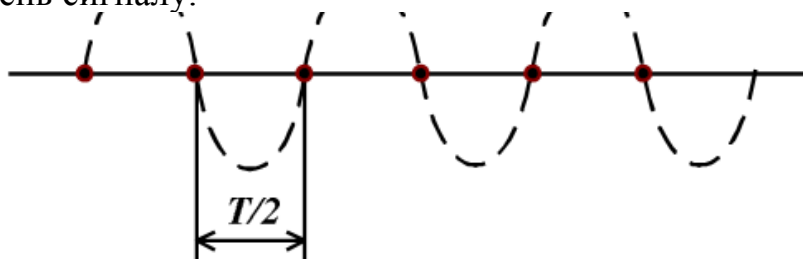


Рисунок 12.3

Звузимо інтервал дискретизації вибірки - візьмемо менший, ніж $T/2$
(рис. 4)

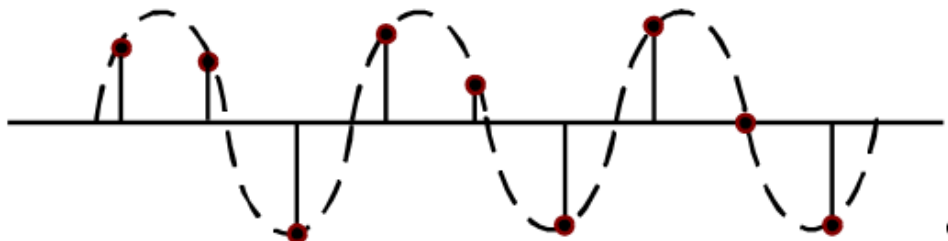


Рис. 12.4

При такій вибірці вже можливо отримати уявлення про форму сигналу. Отже, інтервал дискретизації вибірки повинен бути менший половини періоду.

Тоді для сигналу із максимальною частотою f частота дискретизації повинна бути більшою, ніж $2f$. Ця частота дискретизації називається *частотою Найквіста*.

Правило вибору інтервалу дискретизації вибірки відображається в теоремі Котельникова.

Теорема Котельникова (теорема відліків, теорема Найквіста - Шенона) свідчить, що якщо аналоговий сигнал має обмежений по ширині спектр, то він може бути відновлений однозначно і без втрат за своїми дискретними відліками, узятими із частотою строго більше подвоєної верхньої (максимальної) частоти

1. Завдання до лабораторної роботи

1.1. Завдання 1. Дослідження ЦАП

1. Зібрати схему ЦАП із резистивно-зваженими опорами рис.12. 5.
2. Встановити напругу на джерелі напруги $V1$, яка дорівнює номеру варіанта. Комутуючи ключі 1, 2, 3 і 4 зробити 16 вимірювань і заповнити таблицю 12.1. В останню колонку занести показники вольтметра $U1$.
3. На малюнку показано момент подачі на вхід ЦАП комбінації цифрових сигналів 1011В (ключ старшого розряду $S4$ знаходиться внизу).

Цифровой сигнал				Аналоговый сигнал U, В
Ключ 1	Ключ 2	Ключ 3	Ключ 4	
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
...	...	...	...	
1	1	1	1	

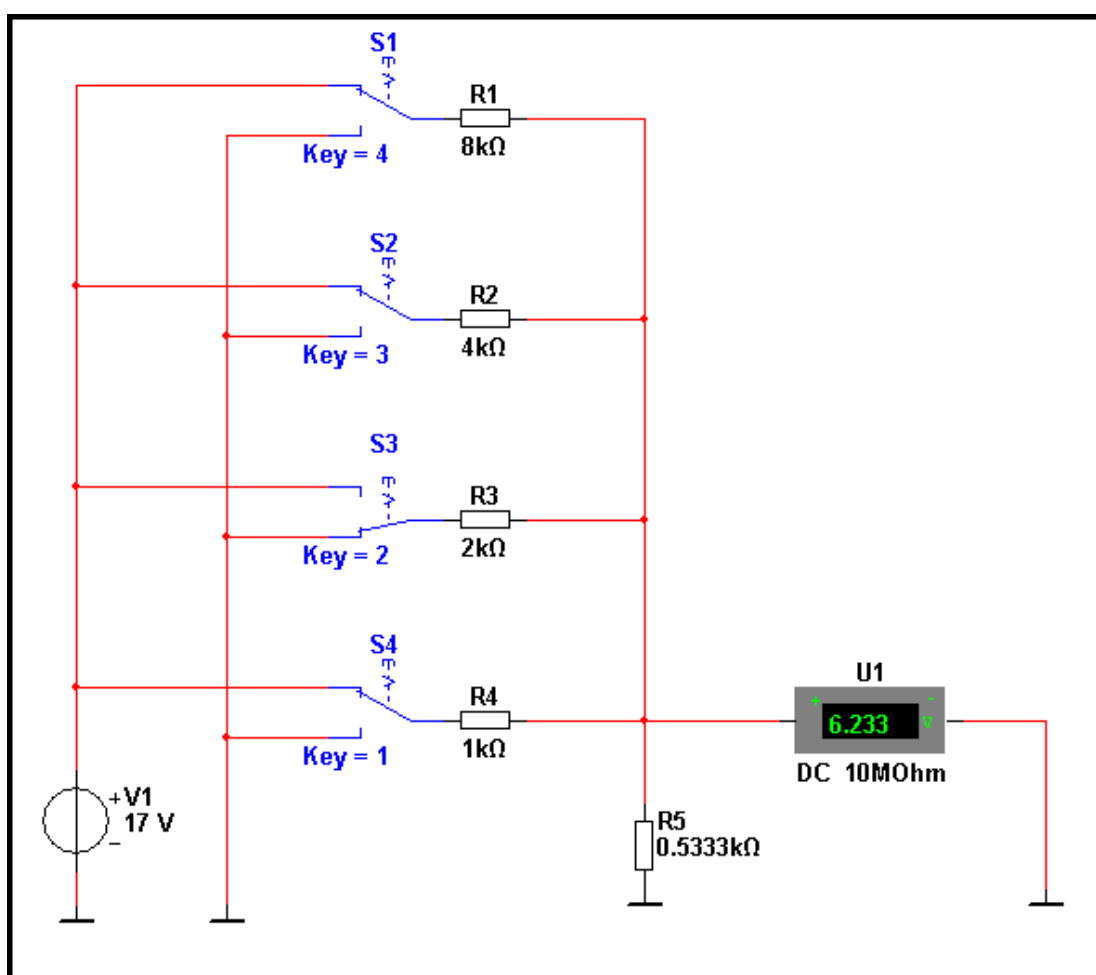


Рис. 12.5. Схема ЦАП із резистивно-зваженими опорами

1.2. Завдання 2. Дослідження мікросхеми ЦАП

Скласти схему, показану на рис. 6. Перетворити 16 літер свого прізвища та імені (без прогалин) у десяткову систему зчислення. Якщо число символів у прізвищі та імені менше 16, то слід використовувати частину букв по батькові. Перші літери прізвища, імені та по батькові мають бути великими, інші – малі. Для запису використати кирилицю.

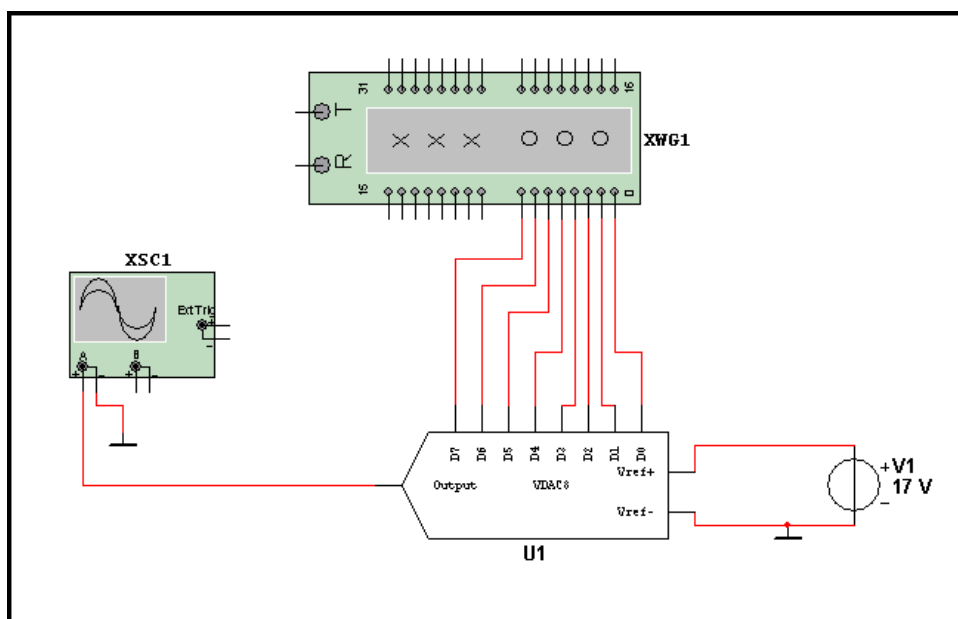


Рис. 12.6. Схема дослідження мікросхеми ЦАП

Ввести 16 чисел у генератор слів (Word Generator) і по черзі подати їх на ЦАП 16. Помістити в звіт тимчасові діаграми, які формуються на екрані осцилографа в процесі моделювання ЦАП. За допомогою осцилографа виміряти аналогову напругу U , що відповідає кожному значенню цифрового сигналу.

Опорна напруга U_{op} у схемі має бути встановлена рівним номеру варіанту (на малюнку показано опорну напругу для варіанта 17). Розрахувати значення вихідної напруги U_p , яка відповідає кожній вхідній комбінації. Результати досліджень занести до таблиці 12.2.

Порівняти результати розрахунків та вимірів.

Таблиця. 12.2

Літер и	Десятковий код, D	Аналогова напруга, В	
		Розрахункове, U _p	Виміряне, U

1.3. Завдання 3. Дослідження мікросхеми АЦП

Зібрати схему, показану рис.7. Встановити на генераторі Function Generator частоту 1 кГц, прямокутну форму коливань (Waveforms) та амплітуду (Amplitude) в межах 3...5 В. Вибрати опорні напруги, рівними номеру варіанта. По черзі встановити сім значень вхідної напруги U_{in} та визначити вихідний двійковий код. Результати моделювання занести до таблиці 12.3.

В останню колонку таблиці помістити розрахункове значення вихідного коду, подане в десятковій системі числення.

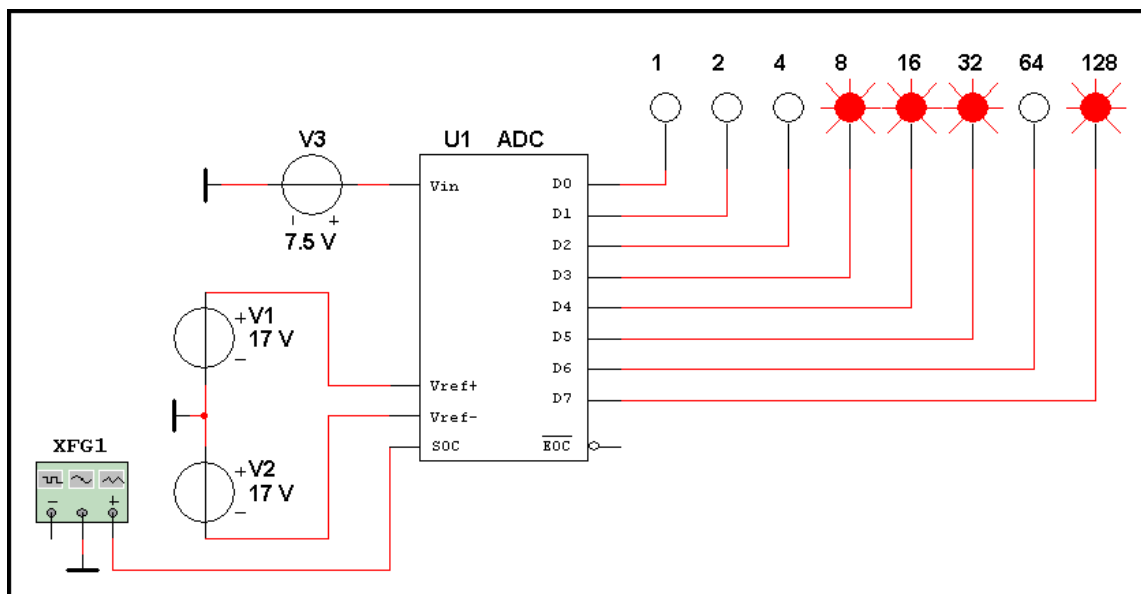


Рис. 12.7. Схема дослідження мікросхеми АПЦ

Табл. 12.3

U _{in} , B	Покази індикаторів							D
	12 8	6 4	32	16	8	4	2	
+U _{op}								
U _{op} ⁻								

$\frac{+U_{op}}{2}$									
$-\frac{U_{op}}{2}$									
$\frac{+U_{op}}{10}$									
$-\frac{U_{op}}{10}$									
0									

1.4. Завдання 4. Дослідження подвійного перетворення (АЦП-ЦАП)

Зібрати схему, показану рис.12.8. Подати на вхід АЦП синусоїдальну напругу, встановивши діючу напругу на джерелі U_{in} , що дорівнює номеру варіанту. Опорні напруги вибрати рівними подвоєному значенню номеру варіанта.

Тимчасові діаграми замалювати в масштабі для різних частот дискретизації: 4; 8; 16 та 32 кГц.

При частоті дискретизації 32 кГц додатково замалювати ще три часові діаграми при з'єднанні між собою АЦП та ЦАП за допомогою 1 розряду (D7), двох розрядів (D7, D6) та трьох розрядів (D7, D6, D5). Іншими словами, з восьми проводів, що з'єднують АЦП та ЦАП, послідовно залишати лише один, два і три проводи у старших розрядах.

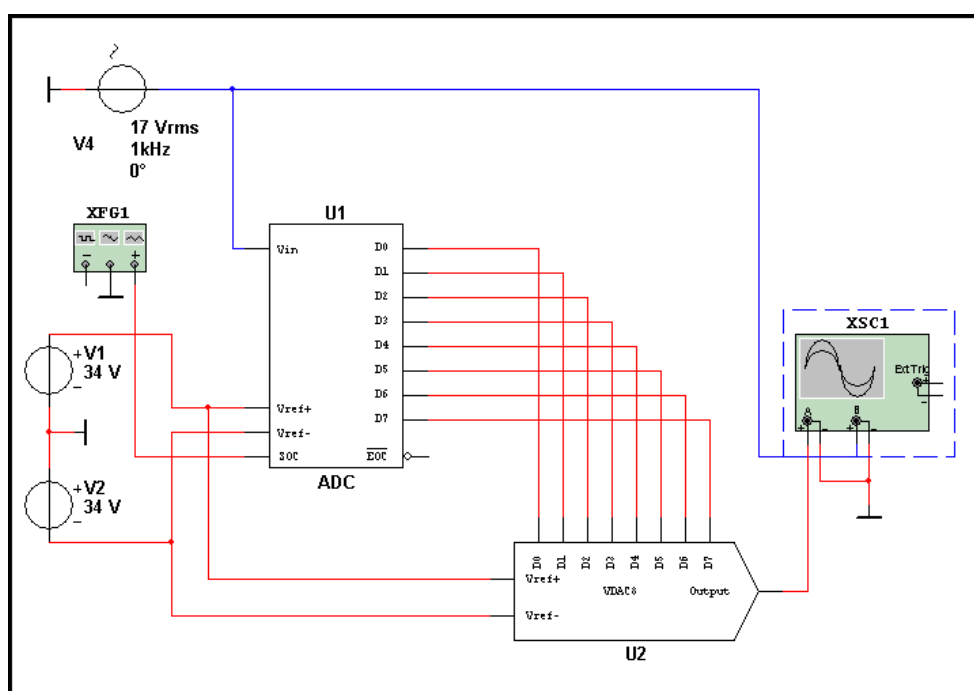


Рис. 12.8. Дослідження подвійного перетворення (АЦП-ЦАП)

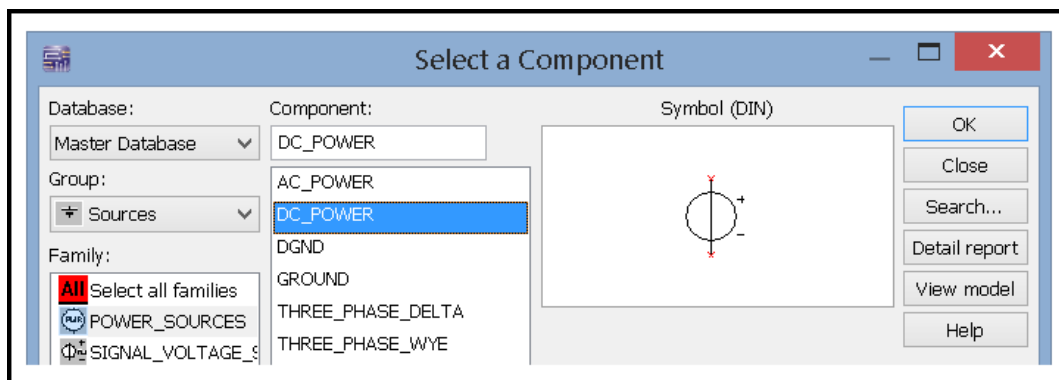
2. Методичні вказівки до лабораторної роботи

2.1. Методичні вказівки до завдання 2.1

Принцип роботи ЦАП, що використовує резистивно-зважану матрицю, полягає в зміні струму, що протікає через резистор R5. Чим більше ключів формують високу напругу, тим більша напруга формується на резисторі R5. Легко помітити, що вклад кожного ключа (кожен двійковий розряд) різний. Найбільший внесок у вихідну напругу дає ключ S4. Це пояснюється тим, що через резистор R4 протікає найбільший струм, оскільки номінал цього резистора найменший. Мінімальний квант вихідної напруги формується ключем S1 (молодший розряд бінарного числа).

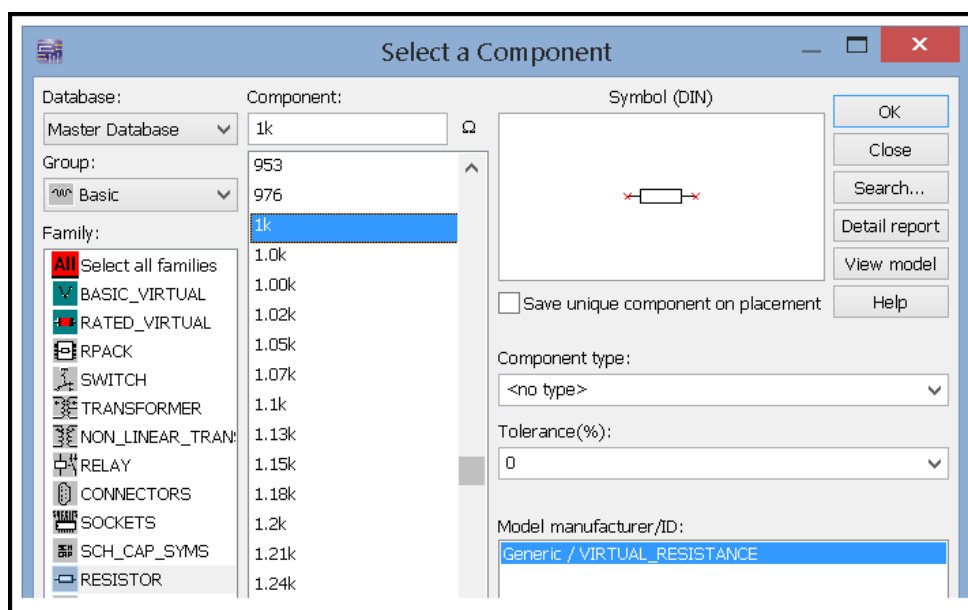
Ще одна конструктивна особливість резистивно-зважаної матриці, полягає в тому, що номінали резисторів обрані такими ж, як і ваги розрядів двійкових чисел: 1, 2, 4, 8. Це найпростіший спосіб побудови ЦАП.

Витяг джерела напруги з бази даних Multisim відбувається у такій послідовності: панель **Components** → група **Sources** → сімейство **POWER_SOURCES** → компонент **DC_POWER**.



Встановлення заданої напруги відбувається стандартно: подвійне клацання по встановленому елементу відкриває діалогове вікно, що дозволяє зробити необхідні коригування параметрів компонента.

Для встановлення у схему резисторів потрібно виконати команди: панель **Components** → група **Basic** → сімейство **RESISTOR** → у списку компонентів вибрати потрібний номінал резистора або встановити номінал вручну.



2.2. Методичні вказівки до завдання 2.2

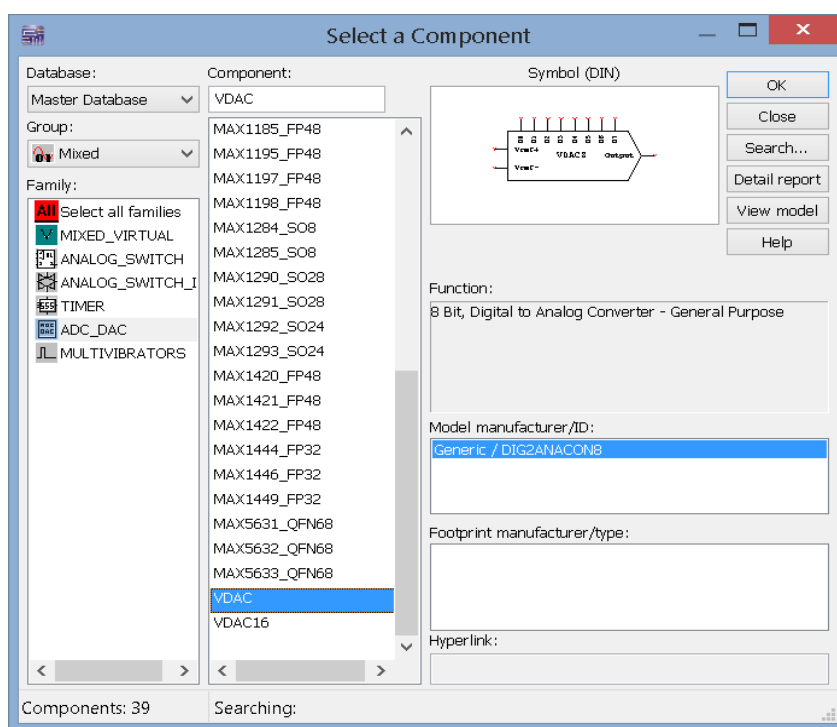
Мікросхема ЦАП перебуває у базі даних Multisim. Для її встановлення потрібно пройти шлях: панель **Components** → група **Mixed** → сімейство **ADC_DAC** → компонент **VDAC**.

Під час дослідження ЦАП цифровий сигнал формується за допомогою генератора слів (Word Generator). У кожному варіанті цифрові сигнали різні та визначаються літерами прізвища, імені та по батькові студента. Перетворення українських літер на десяткові числа проводиться на підставі кодової таблиці СР-1251 (Додаток 1).

Вимірювання (і побудова тимчасових діаграм) доцільно робити у покроковому режимі роботи генератора слів (Step). Одноразове натискання на

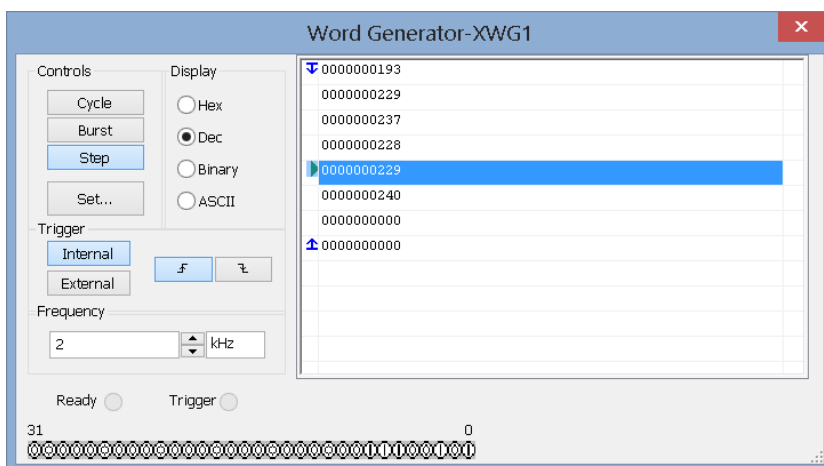
однойменну кнопку призводить до одноразового цифроаналогового перетворення. Частота генератора слів (Word Generator) повинна бути рівною 2 кГц.

Вводити інформацію в генератор слів можна в шістнадцятковій, десятковій або двійковій СЗ, а також код ASCII. Останній варіант найраціональніший. Однак для представлення кирилиці знадобиться шістнадцятирозрядний код Unicode, тому записати символну інформацію доведеться з використанням десяткової або шістнадцяткової СЗ (використання двійкової СЗ - найнераціональніший варіант).

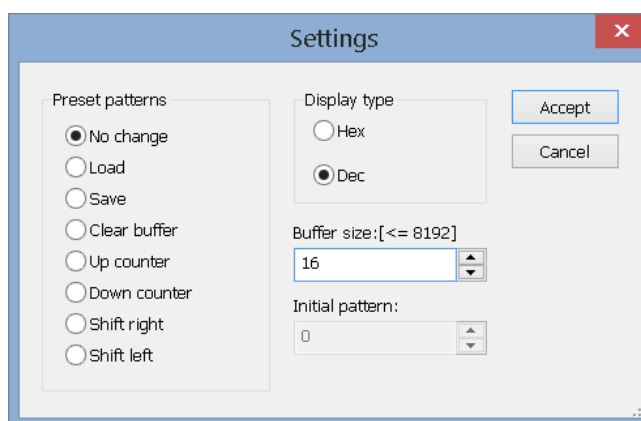


На малюнку показано приклад введення у буфер пам'яті генератора шести слів прізвища Бендер. Наприкінці введено два машинні слова, що містять нулі. Це зроблено підвищення наочності тимчасових діаграм.

Буфер пам'яті генератора слів доцільно обмежити шістнадцятьма двійковими словами. Це дозволить у покроковому режимі циклічно досліджувати сигнали, що формуються.



Щоб змінити обсяг буфера, потрібно викликати діалогове вікно Settings (Установки). Виклик цього вікна відбувається при натисканні на кнопку Set...



Вибравши відповідну систему числення (Hex, Dec), потрібно у вікні Buffer size (Розмір буфера) вказати кількість використовуваних символів.

Тимчасову розгортку на осцилографі (Timebase) слід встановити 1 ms/Div, а чутливість 5 V/Div (для варіантів 1...8) або 10 V/Div (для варіантів 9...16).

При вимірі аналогового сигналу за допомогою осцилографа потрібно відкрити детальне зображення осцилографа (подвійне клацання по зворотному зображенню). Зчитування показань осцилографа слід проводити за допомогою одного або двох кольорових маркерів.

Приклад налаштування осцилографа (стан керуючих елементів) наведено на наступному малюнку. Осцилограф у цьому випадку працює в одноканальному режимі і канал (Channel B) не використовується.

Овалом показана область виведення результатів виміру.

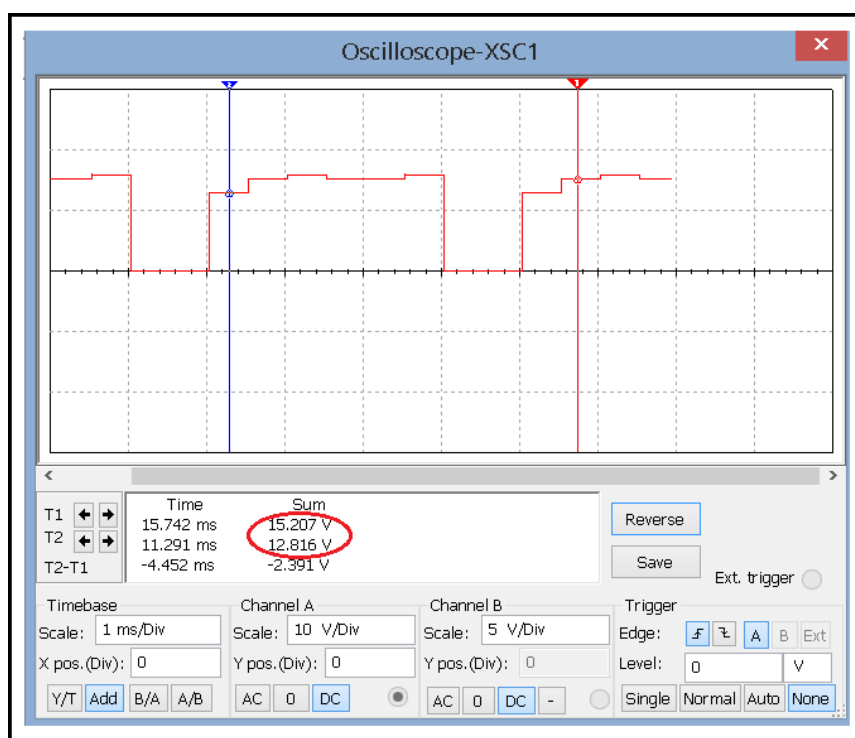
Вихідна напруга восьмирозрядного ЦАП розраховується за такою формулою:

$$U_p = D \cdot U_{op} / 256 ,$$

де D - десятковий код цифрового сигналу; U_{op} – опорна напруга (визначається номером варіанта).

Якщо $U_{op} = 17$ В, то наведена формула матиме компактний вигляд, зручний для проведення розрахунків у варіанті 17: то приведена формула буде мати компактний вид, зручний для проведення розрахунків у варіанті 17:

$$U_p = D \cdot 17 / 256 = D \cdot 0,0664 .$$



Сделанные округления приведут к появлению небольших различий между

расчётными и измеренными значениями.

В следующей таблице приведены результаты моделирования и расчётов для слова Бендер.

Овалом показана область виведення результатів виміру.

Вихідна напруга восьмирозрядного ЦАП розраховується за такою формулою:

$$U_p = D U_{op}/256 ,$$

де D – десятковий код цифрового сигналу; U_{op} – опорна напруга (визначається номером варіанта).

Якщо $U_{op} = 17$ В, то наведена формула матиме компактний вигляд, зручний для проведення розрахунків у варіанті 17:

$$U_p = D 17/256 = D 0,0664.$$

Зроблені округлення призведуть до появи невеликих відмінностей між розрахунковими та виміряними значеннями.

У наступній таблиці наведено результати моделювання та розрахунків для слова Вендер.

Таблица 12.4

Літери	Десятковий код, D	Аналогова напруга, В	
		Розрахункове, U_p	Виміряне, U
В	194	12,882	12,882
е	229	15,207	15,207
н	237	15,738	15,738
д	228	15,141	15,141
е	229	15,207	15,207
р	240	15,937	15,937

Аналіз таблиці 12.4 показує, що найменша відмінність вихідної напруги (для букв «д» і «е») становить 0,066 В.

У загальному випадку величина сходинок (кванту) розраховується за такою формулою:

$$\Delta = \frac{U_{op}}{2^n} ,$$

де n - число розрядів ЦАП.

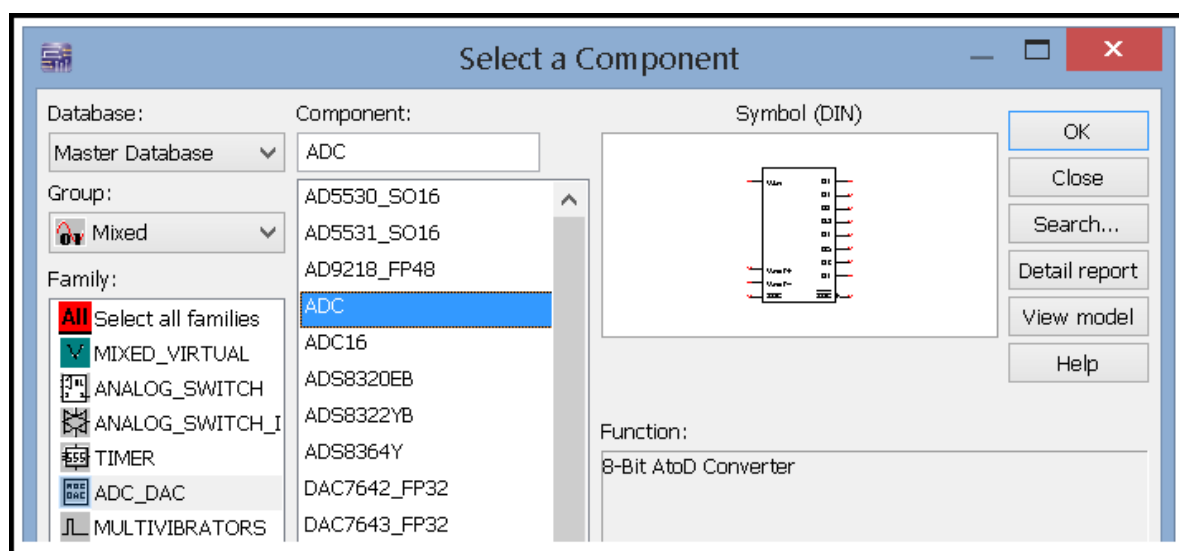
Для восьмирозрядного ЦАП попередня формула матиме вигляд:

$$\Delta = \frac{U_{OP}}{256}$$

При $U_{OP} = 17$ величина найменшої сходинки восьмирозрядного ЦАП складе 0,0664 В.

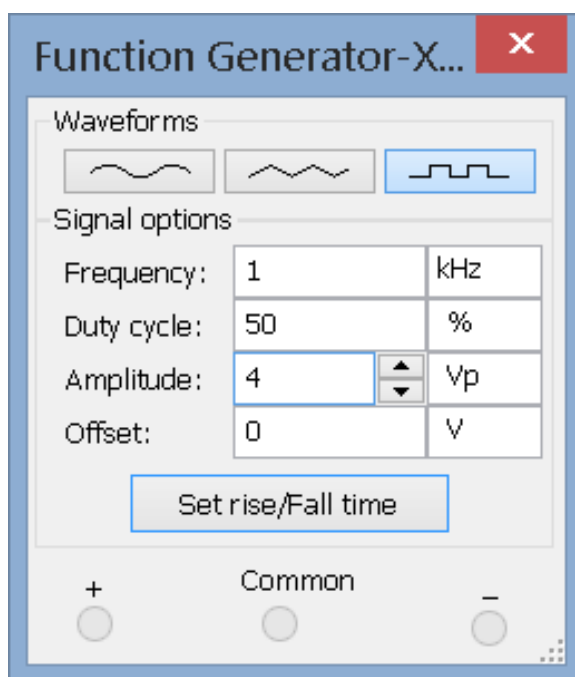
2.3.Методичні вказівки до завдання 2.3

Для вибору АЦП з бази даних потрібно пройти шлях: панель **Components** → група **Mixed** → сімейство **ADC_DAC** → компонент **ADC**.



Розглянемо призначення елементів. На вхід АЦП SOC подається сигнал від генератора Function Generator, який визначає частоту дискретизації. Так як в даному завданні вхідна напруга U_{in} постійна, то не має значення, на якій частоті генератор працює (наприклад, можна встановити частоту 1 кГц).

Наступний малюнок показує параметри, які необхідно встановити на генераторі.



До виходів АЦП підключені індикатори, які позначені відповідно до їх вагових коефіцієнтів. Це робить зручним процедуру визначення цифрового сигналу D, що у десятковій системі числення.

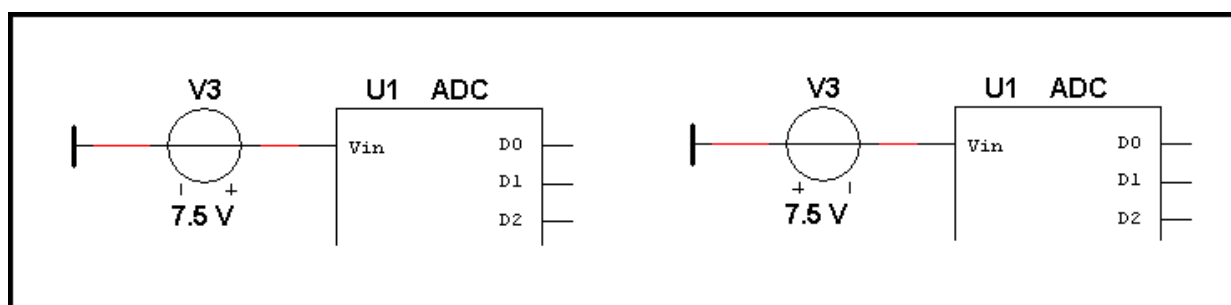
Вихідний код АЦП розраховується за такою формулою:

$$D = 128 + U_{in} 128/U_{op},$$

де U_{in} - вхідна аналогова напруга; D - вихідне число, подане в десятковій системі числення.

Слід звернути увагу, що за $U_{in} = 0$ вихідний десятковий код $D = 128$, при $U_{in} > 0$ вихідний код $D > 128$, а при $U_{in} < 0$ вихідний код $D < 128$.

Для зміни полярності вхідної напруги U_{in} необхідно від'єднати джерело U_{in} та підключити його іншим полюсом до входу АЦП.



2.4.Методичні вказівки до завдання 2.4

В останньому завданні вхідна напруга U_{in} спочатку за допомогою АЦП перетворюється на потік цифр. Потім цифри за допомогою ЦАП конвертуються назад в аналогову напругу. Таким чином, в ідеальному випадку після подвійного перетворення вихідна напруга ЦАП повинна повністю збігтися з вхідною напругою U_{in} . Однак якість трансформації багато в чому визначається обраною частотою дискретизації та розрядністю перетворювачів, що використовуються.

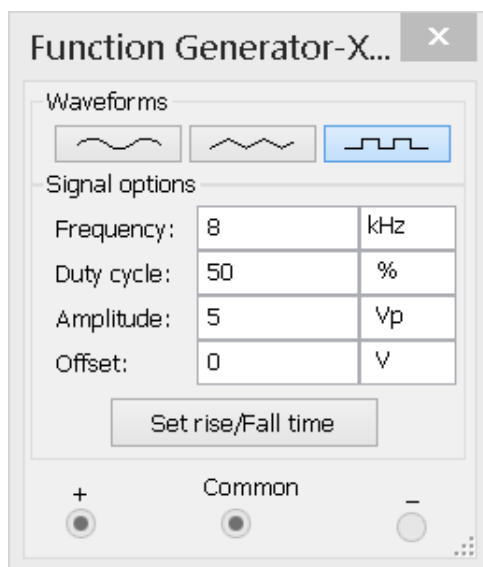
У процесі досліджень цієї схеми необхідно дати якісну оцінку точності перетворень залежно від частоти дискретизації і розрядності АЦП і ЦАП.

При проведенні моделювання величини часу розгортки та посилення по кожному каналу слід підібрати таким чином, щоб повніше використовувати весь екран осцилографа. Доцільно час розгортки встановити таким, щоб число періодів, що укладаються на екрані, було 2...3. При дослідженні двоканальних осцилограм наочність зображень можна збільшити за допомогою зміщення графіків по вертикалі (Y Position).

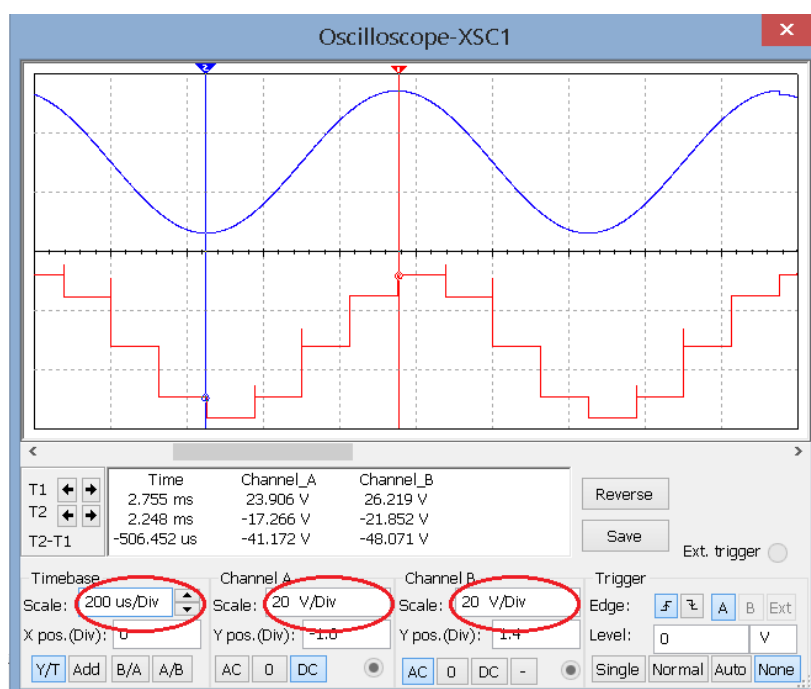
Під час моделювання осцилограф працюватиме у двоканальному режимі. Важливо, щоб осцилограми вхідної та вихідної напруги були зображені в однакових масштабах. Для підвищення наочності осцилограм бажано використовувати різнокольорові зображення. Для цього потрібно змінити кольори двох дротів, що підходять до осцилографа.

При аналізі діаграм слід пам'ятати, що напруга, що діє, в раз менше амплітудного значення синусоїдального значення напруги.

Параметри тактового генератора (Function Generator) показані малюнку.



На наступному малюнку показано налаштування осцилографа для варіанту 17 і тактовій частоті, що дорівнює 8 кГц. Овалами відзначені органи управління, які доведеться використовувати при зміні номера варіанта та частоти дискретизації.



3. Вимоги до звіту

Звіт готується в електронному вигляді. Він повинен містити постановки завдань, скріншоти, які показують порядок розв'язання задачі, схеми, таблиці з результатами розрахунків та моделювання, часові діаграми, необхідні коментарі та аналіз отриманих результатів.

5. Контрольні питання

1. Як визначити напругу найменшої сходинки восьмирозрядного ЦАП, якщо відома опорна напруга?
2. Як за допомогою осцилографа визначити тривалість однієї сходинки сигналу на виході ЦАП?
3. Як за допомогою осцилографа визначити різницю напруги двох сходинок?
4. Яка частота дискретизації використовується під час запису (зчитування) в оптичних аудіодисках?
5. Скільки рівнів квантування використовується для запису (зчитування) в оптичних аудіодисках?
6. Скільки рівнів квантування має 16-ти розрядний ЦАП?
7. Як за допомогою теореми Котельникова за відомою максимальною частотою спектра визначити необхідну частоту дискретизації АЦП?
8. Як за відомою частотою дискретизації визначити тривалість однієї сходинки на виході ЦАП?
9. Що називається, дозволом АЦП?
10. Наведіть приклади аналогових сигналів.
11. Чому всередині ЕОМ циркулюють переважно цифрові сигнали?
12. Наведіть приклади цифроаналогового та аналого-цифрового перетворення.

Додаток1

Список
функціональних
серії приведений
відомості
роботі 3
технічною
користуватися
вітчизняними
Таблиця 1.
аналоги «74-ої

Продовження

74	ГОСТ	74	ГОСТ	74	ГОСТ	74	ГОСТ
0	ЛА3	159	ИД19	261	ИП8	50	ЛР1
01	ЛА8	16	ЛН5	27	ЛЕ4	51	ЛР11
02	ЛЕ1	160	ИЕ9	273	ИР35	53	ЛР3
03	ЛА9	161	ИЕ10	279	ТР2	533	ИР40
04	ЛН1	162	ИЕ11	28	ЛЕ5	534	ИР41
05	ЛН2	163	ИЕ18	280	ИП5	537	ИД22
06	ЛН3	164	ИР8	281	ИК4	54	ЛР13
07	ЛП9	165	ИР9	283	ИМ6	540	АП12
08	ЛИ1	166	ИР10	289	РУ9	541	АП13
09	ЛИ2	168	ИЕ16	292	ПЦ1	55	ЛР4
10	ЛА4	16	ИЕ17	29	ИР16	57	ИР33

вітчизняних
аналогів 74-ої
в табл.1. Ці
дозволяють, при
іноземною
документацією,
для звіряння з
довідниками.
Функціональні
серії»

таблиці 1.

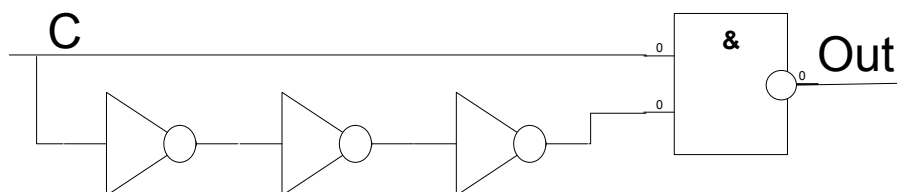
74	ГОСТ	74	ГОСТ	74	ГОСТ	74	ГОСТ
11300	ТВ10	193	ИЕ17	298	ИР12	574	ИР37
114	ТВ11	194	ИР11	373	ИР22	670	ИР26
100	ЛА21	17	ИР32	29	ИР24	59	ИЕ21
120	ЛА10	1950	ИР12	374	ИР23	723	ТВ1
12100	АГ1	196	ИЕ14	377	ИР27	74	ТМ2
123	АГ3	197	ИЕ15	379	ТМ10	75	ТМ7
12400	ЛА23	198	ИР15	380	РУ6	626	АП25
100	ЛН8	174	ТМ9	32	ЛЛ1	623	АП26

125	ЛП8	20	ЛА1	381	ИК2	77	ТМ5
126	ЛП14	21	ЛИ6	384	ИП9	78	ТВ14
128	ЛЕ6	214	РУ6	385	ИМ7	80	ИМ1
13	ТЛ1	216	АП2	390	ИЕ20	804	ЛА20
132	ТЛ3	22	ЛА7	393	ИЕ19	805	ЛЕ8
134	ЛА19	221	АГ4	395	ИР25	808	ЛИ7
136	ЛП12	224	РУ12	396	ИР43	81	РУ1
138	ИД7	225	РУ10	399	КП20	82	ИМ2
139	ИД14	23	ЛЕ2	40	ЛА6	83	ИМ3
14	ТЛ2	238	ИД19	4002	ЛЕ9	832	ЛЛ3
140	ЛА16	240	АП3	4006	ИР47	84	РУ3
141	ИД1	241	АП4	4015	ИР46	85	СП1
145	ИД10	242	ИП6	4035	ИР51	86	ЛП5
147	ИВ3	243	ИП7	42	ИД6	873	ИР34
148	ИВ1	244	АП5	45	ИД24	874	ИР38
15	ЛИ4	245	АП6	450	ЛП7	881	ИП14
150	КП1	247	ИД18	451	ЛИ5	882	ИП16
151	КП7	25	ЛЕ3	4511	ИД23	89	РУ2
152	КП5	251	КП15	452	ЛА18	90	ИЕ2
153	КП2	253	КП12	4520	ИЕ23	91	ИР2
154	ИД3	257	КП11	453	ЛЛ2	92	ИЕ4
155	ИД4	258	КП14	465	АП14	93	ИЕ5
156	ИД5	259	ИР30	466	АП15	95	ИР1

157	КП16	26	ЛА11	482	ВГ1	97	ИЕ8
158	КП18	260	ЛЕ7	49	ПП4	98	ИР5

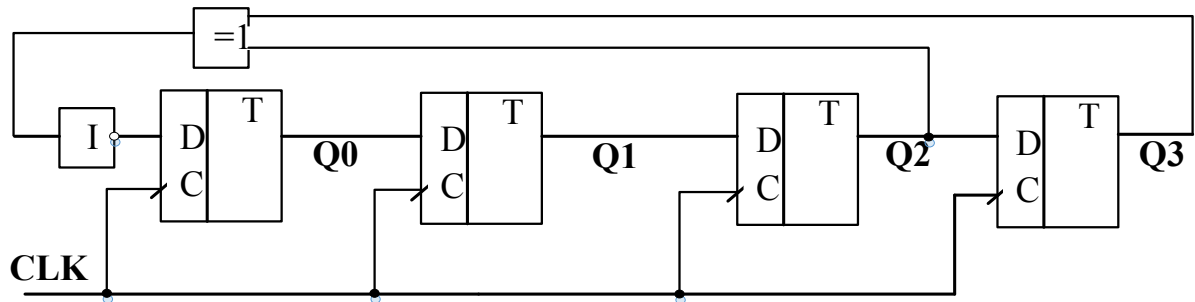
Задачі до лабораторного практикуму.

1. Нарисуйте часову діаграму роботи схеми



2. Напишіть циклічну послідовність кодів ПВП, яку формує схема. У

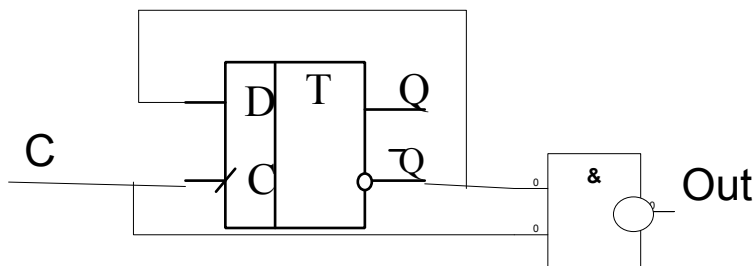
вихідному стані $Q[3:0] = 0$



3. Нарисуйте граф-схему МПА, алгоритм роботи якого описано таблицями.

X					X				
Q	$X1$	$X2$	$X3$	$X4$	Q	$X1$	$X2$	$X3$	$X4$
$Q0$		$Q1$			$Q0$	$Y2$			$Y3$
$Q1$	$Q2$	$Q2$			$Q1$		$Y1$		
$Q2$			$Q2$	$Q3$	$Q2$	$Y1$	$Y3$		
$Q3$	$Q0$	$Q0$	$Q0$	$Q0$	$Q3$			$Y1$	

4. Нарисуйте часову діаграму роботи схеми.

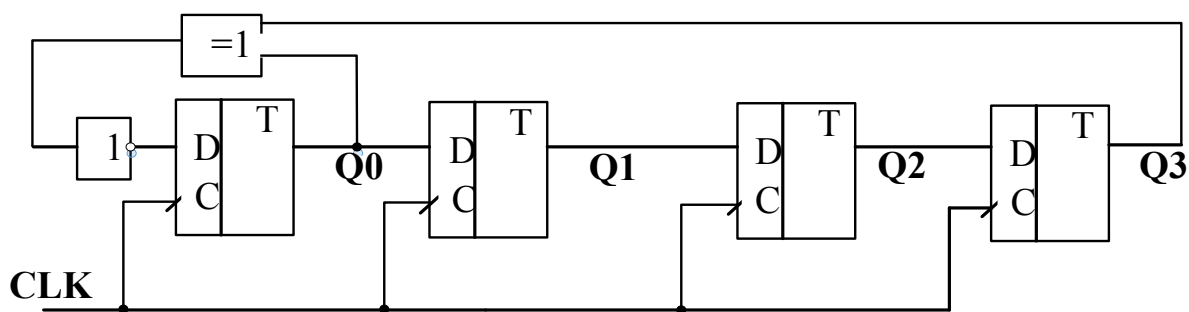


5. Нарисуйте схему та часові діаграми роботи однобібратора з використанням D-тригера.

6. Напишіть циклічну послідовність кодів ПВП, яку формує схема. У

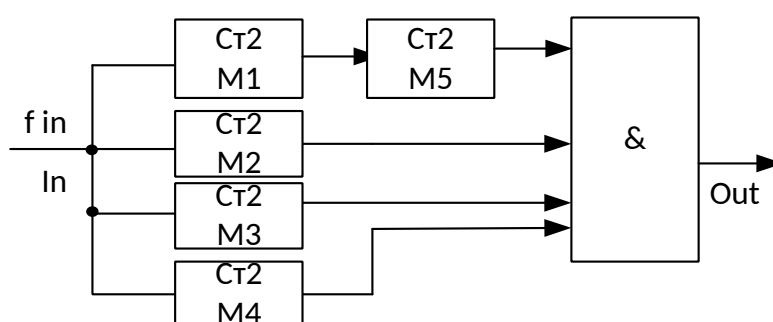
вихідному стані $Q[3:0] = 3$

7.



8.

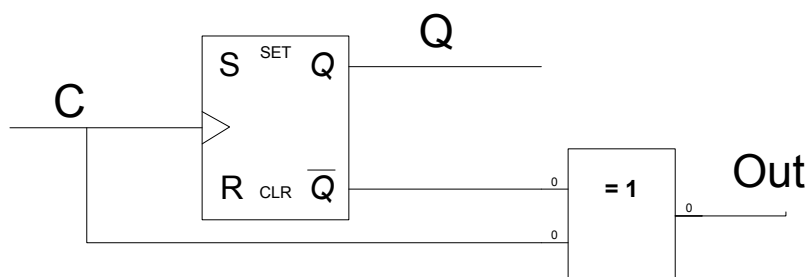
Визначте сумарний коефіцієнт M ділення схеми.



$M1 = 8$; $M2 = 27$; $M3 = 9$; $M4 = 3$; $M5 = 2$ Поясніть рішення

9. Нарисуйте часову діаграму роботи схеми.

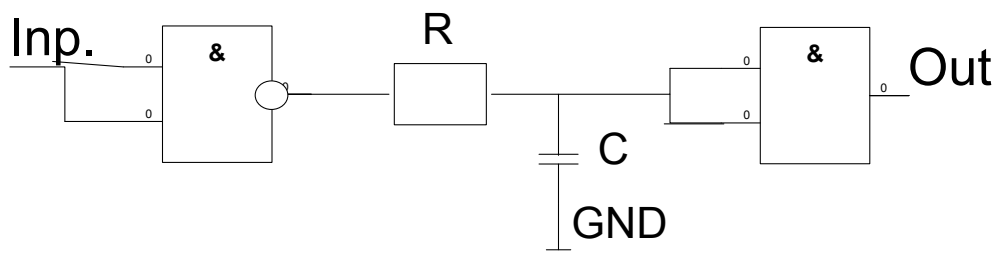
Трігер працює в рахунковому режимі



10. Одновібратор виконаний на основі двох логічних елементів (ЛЕ), що мають максимальну величину затримки на перемикання 12 нс. Яка повинна бути мінімальна тривалість вхідного імпульсу? Чому?

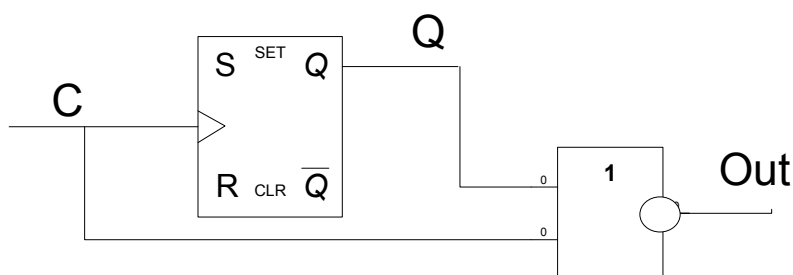
11. У чому полягає недолік асинхронних лічильників у разі їх використання з дешифраторами та 7-сегментними індикаторами для відображення інформації?

12. Нарисуйте часову діаграму роботи схеми.

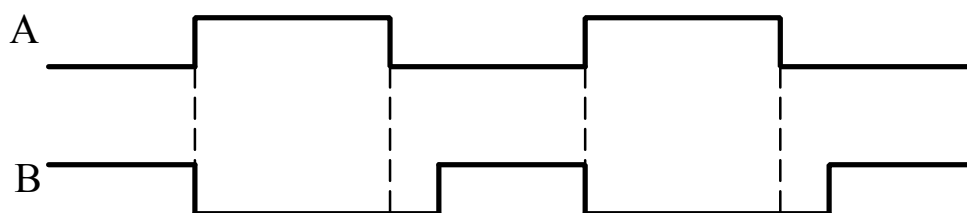


13. Нарисуйте часову діаграму роботи схеми.

Трігер працює в рахунковому режимі.



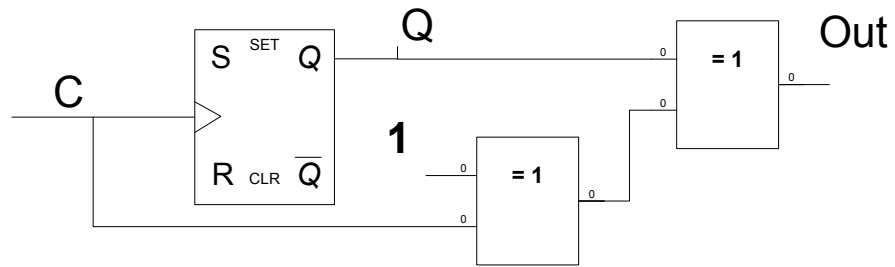
14. Нарисуйте схему, яка працює згідно цієї часової діаграми



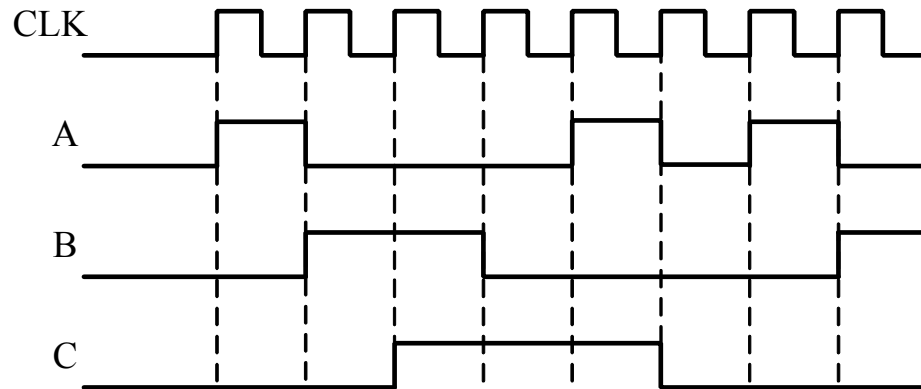
15. Дайте визначення терміну «Одновібратор». Нарисуйте часову діаграму.

16. Нарисуйте часову діаграму роботи схеми.

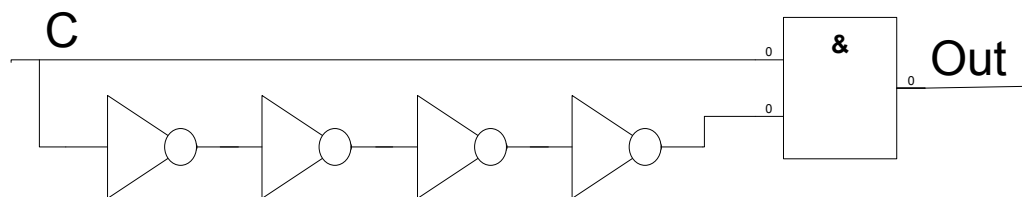
Трігер працює в рахунковому режимі



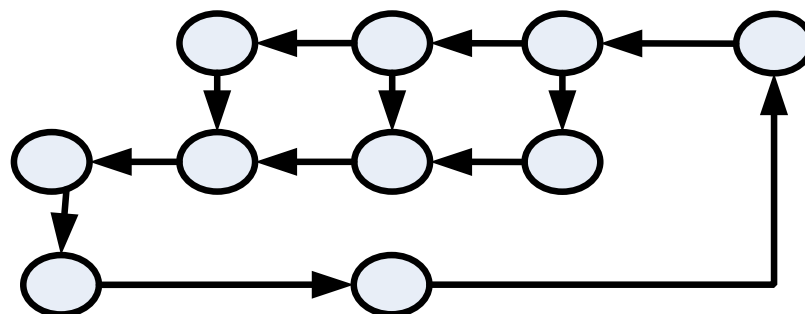
17. Нарисуйте схему, яка працює згідно цієї часової діаграми.



18. Нарисуйте часову діаграму роботи схеми.

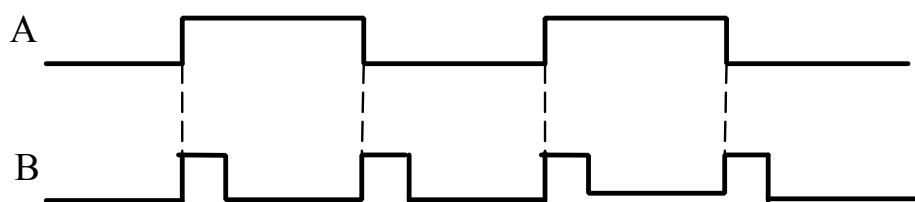


19. Закодуйте вершини МПА за правилами сусіднього кодування.

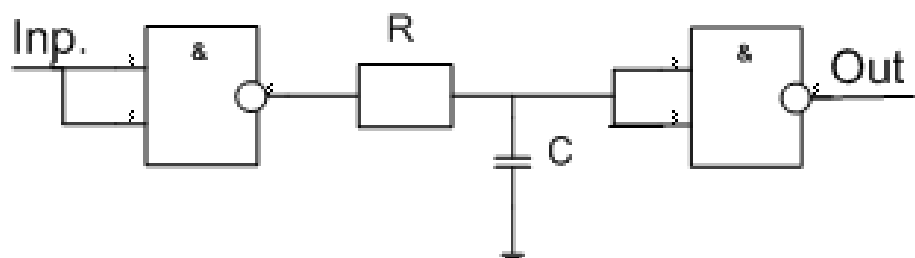


20. Нарисуйте схему, яка працює згідно цієї часової діаграми

A – вхід; B – вихід.



21. Нарисуйте часову діаграму роботи схеми.



ЛІТЕРАТУРА ДО ЛАБОРАТОРНОГО ПРАКТИКУМУ

1. [Horowitz](#), Hill W. The Art of Electronics. [Cambridge University Press](#), 2015. 1125 p.
2. Новиков Ю.В. Н73 Введение в цифровую схемотехнику. М: Интернет-Университет Информационных Технологий; БИНОМ. Лаборатория знаний, 2007. — 343 с: ил., табл. — (Серия «Основы информационных технологий»).
3. Потехин В.А. Схемотехника цифровых устройств: учеб. пособие для вузов [Текст] / В.А. Потехин. — Томск: В-Спектр, 2012 . — 250 с.
4. Електроніка і мікросхемотехніка: Підручник для студентів вищ. закл. освіти у 4-х т. Під ред. В. І. Сенька. — Т.1: Елементна база електронних пристроїв. — К.: ТОВ “Видавництво Обереги”, 2000.— 300 с.
5. Колонтаєвський, Ю. П., Сосков А.Г. Електроніка і мікросхемотехніка. Київ «Каравела », 2009. — 416 с.
6. Євчук, О. В. Комп'ютерна електроніка : конспект лекцій / О. В. Євчук. - Івано-Франківськ : ІФНТУНГ, 2017. - 134 с.
7. Шилов В.Л. Популярні цифрові мікросхеми. - М.: Металлургия, 1988. - 352 с.
8. Токкейм Р. Основы цифровой электроники: Пер. с англ. — М.: Мир, 1988. - 392 с.
9. Фолкенберри Л. Применение операционных усилителей и линейных ИС: Пер. с англ. - М.: Мир, 1985. -572 с.
- 10.Сенько В. Л, Панасенко М. В., Сенько Є. В. та ін. Електроніка і мікросхемотехніка. - Т. 2. Аналогові та імпульсні пристрої. - Харків: Фоліо, 2002.-510с.
- 11.Прянишников В. А. Электроника: Курс лекций. - СПб.: КОРОНА принт, 1998. - 400 с.
12. Getting Started with NI Circuit Design Suite.pdf.

- 13.Макаренко В.В. Моделирование радиоэлектронных устройств с помощью программы NI Multisim / Электронный журнал "Радиоежегодник" – Выпуск: апрель, 2013 (23), с.141-267 – <http://www.rlocman.ru>
- 14.Стахів П. Г., Коруд, В. І., Гамала О. Є Основи електроніки: функціональні елементи та їх застосування. Львів: : «Новий Світ—2000»; «Магнолія плюс».—2003. —208 с.
- 15.Филатов М. Разработка схемы электрической принципиальной в программной среде Proteus 8.1// Компоненты и технологии. 2015. № 6.
16. <http://www.aldec.com/>
- 17.Сафронов В. Практика математического синтеза микропрограммных управляющих автоматов на основе ПЗУ и ПЛМ // Компоненты и технологии. 2014. № 6.

Термінологічний словник.

2D - структура ЗП з однокоординатною вибіркою слів шляхом порушення лінії вибірки від дешифратора адреси.

2DM — структура ЗП (модифікація структури 2D), в якій слова вибираються поетапно — спочатку вибираються "довгі" слова за допомогою дешифрації однієї частини адреси, а потім слова потрібної розрядності за допомогою дешифрації іншої частини адреси.

3D — структура ЗП з двокоординатною вибіркою елементів, що запам'ятовують, на перетині двох ліній вибірки, що збуджуються виходами двох дешифраторів адреси.

x86 - сімейство процесорів фірми Intel, сумісних за системою команд: 8086, 80186, 80286, 80386, 80486, Pentium-Pentium 4.

А

Автомат Милі — автомат із пам'яттю, вихідні сигнали якого залежать як від стану, так і від вхідних сигналів.

Автомат Мура — це автомат із пам'яттю, вихідні сигнали якого залежать тільки від стану автомата.

Адресація абсолютна - адресація, при якій осередку пам'яті або зовнішньому пристрою відповідає одна-єдина адреса.

Адресація неабсолютна — адресація, коли комірці пам'яті чи зовнішньому пристрою відповідає деяка зона адрес.

Адресне ЗП - ЗП, в якому доступ до одиниць зберігання інформації здійснюється за їх адресою (розташування в пам'яті).

Адресний простір — це діапазон адрес, до яких може звертатися процесор.

Аналогове моделювання — моделювання, що спирається на дійсні значення параметрів і сигналів у пристроях і системах (струмів і напруг в електронних схемах) на відміну від моделювання зі спрощеним дискретним поданням цих параметрів і сигналів.

Асинхронність - поведінка (властивість) пристроїв і процесів, що полягає в обробці ними інформації (сигналів) у міру їх надходження без участі зовнішніх тактуючих (виконавчих, командних) сигналів.

Асоціативне ЗП (CAM, Content Addressable Memory) — ЗП, в якому доступ до одиниць зберігання інформації здійснюється не за їх адресою, а за спеціальною ознакою (ключом).

Б

Базовий матричний кристал (БМК) — напівзаможна БІС/НВІС, що містить несконфигуровані схемні елементи, основа для створення необхідного пристрою шляхом реалізації міжз'єднань елементів методом масочного програмування металізації.

Безканальний БМК - базовий матричний кристал, внутрішня область якого суцільно заповнена базовими осередками і не містить вільних каналів, заздалегідь відведених для трасування (цей тип БМК називають кристалами типу "море вентилів" або "море транзисторів").

БМК блокової структури — базовий матричний кристал, що містить спеціалізовані області (логічної обробки, пам'яті, реалізації окремих операцій і т. п.).

Бібліотека функціональних осередків - сукупність функціональних осередків, що використовуються при проектуванні на основі БМК, створюється при його розробці.

В

Вектор переривання — відомості про місцезнаходження в пам'яті підпрограми обслуговування цього переривання, що надсилаються в процесор джерелом запиту переривання або контролером переривань.

Векторне переривання — переривання, обслуговування якого потрібно передати в процесор вектор переривання.

Вентильна матриця (ВМ) – синонім поняття БМК (див. раніше).

Верифікація - перевірка за формальними методиками збігу проектної специфікації та результатів синтезу пристрою.

Віта пара — одна з поширених конструкцій ліній передачі сигналів, що представляє собою два скручені проводи.

Внутрішньокристалічна налагодження — методи налагодження, що базуються на розміщенні всередині ІС засобів тестування, що налагоджується, та їх з'єднання з основним тестуючим обладнанням спеціальними протоколами.

Внутрішньосхемна емуляція - об'єднання ресурсів системи, що налагоджується, з ресурсами налагоджувальної системи.

Г

Гарвардська архітектура процесора - архітектура з роздільною пам'яттю програм та даних.

Д

Двійковий дешифратор - пристрій, що перетворює двійковий код код "1 з N".

Двійковий лічильник — лічильник, модуль рахунку якого дорівнює цілого ступеня числа 2, а стани кодуються двійковими числами.

Двонаправлений висновок — висновок, який залежно від програмування може бути використаний як вхід або вихід мікросхеми.

Двопортове ЗУ - ЗУ, в якому можливі одночасне читання за однією адресою і запис за іншою.

Декомпозиція - процедура зведення завдання верхнього рівня ієрархії до групи найпростіших завдань нижчого рівня.

Демультіплексор - пристрій, що передає вхідну величину в один із декількох вихідних каналів залежно від вхідного коду, що адресує.

Динамічна реконфігурація (Run-Time Reconfiguration) — швидка зміна налаштувань у схемах програмованої логіки, орієнтованих на

використання в апаратурі з багатофункціональним використанням тих самих ІС.

Довга лінія - (1) лінія, час поширення сигналу в якій з вимірно з тривалістю фронтів переданих імпульсів, що вимагає узгодження хвильових опорів в тракці передачі сигналів; (2) неперервна лінія міжз'єднань, що проходить по всій довжині або ширині кристала ВІС/СВІС програмованої логіки для швидкої передачі сигналів на великі відстані.

ДНФ – диз'юнктивна нормальна форма подання логічної функції, диз'юнкція кон'юнктивних термів.

ДОЗП (DRAM) — динамічний оперативний ЗП, запам'ятовуючим елементами якого є конденсатори.

Дрібнення контактів — наслідки пружних властивостей механічних контактів, що призводять до появи серій перемикачів замість одного при однократній зміні положення контакту.

Е

Еквівалентний вентиль - група схемних елементів, що відповідає можливості реалізації на ній функції вентиля (найчастіше 2І-НЕ, 2АБО-НЕ)

І

Інформаційна ємність ЗУ — максимальний об'єм ЗУ інформації, що зберігається. '

Інтерфейс — сукупність апаратних та програмних засобів, що уніфікують процеси обміну між модулями системи.

Інтерфейс із загальною шиною — інтерфейс, у якому адреси осередків пам'яті та зовнішні пристрої мають спільний адресний простір.

Інтерфейс з роздільною шиною - інтерфейс, в якому для адрес зовнішніх пристроїв є окремий адресний простір.

Інтерфейс з подвійною швидкістю передач (DDR-технологія) — організація передач лініями зв'язку, при якій операції прийому (видачі)

інформації здійснюються обома фронтами синхросигналів.

Інтерфейс із вченою швидкістю передач (QDR-технологія) — термін, що застосовується для позначення пристроїв, в яких DDR-технологія поєднується з двопортовістю.

З

Згортка за модулем — додавання по модулю значень розрядів кодової комбінації.

Зовнішня синхронізація — процес координації подій у схемі з станами тактуючої системи, що не належить самій схемі.

К

Канал трасування - вільна зона на кристалі БМК, виділена для реалізації міжз'єднань осередків.

Канальний БМК - базовий матричний кристал, у конструкції якого передбачені певні канали трасування.

Клонування проектів — несанкціоноване копіювання проектів без усвідомленого розкриття їхньої внутрішньої структури та принципів роботи.

Код - сукупність кодових комбінацій; використовуються для представлення інформації. Цей же термін використовується як синонім поняття "кодова комбінація" в тих випадках, коли це не може викликати будь-яких непорозумінь.

Код Грея - код, в якому сусідні кодові комбінації відрізняються одна від одної лише в одному розряді.

Код Хеммінгу — код, кодові комбінації якого містять кілька контрольних розрядів для перевірки на парність/непарність ваг певних груп розрядів. Має властивості не тільки виявлення, а й виправлення помилок одиничної кратності.

Кодова комбінація — набір символів прийнятого алфавіту.

Командний цикл - інтервал часу, що відповідає виконанню однієї команди програми.

Комбінаційний ланцюг - схема, що встановилися значення вихідних сигналів якої залежать тільки від поточних значень вхідних сигналів.

Компаратор (цифровий) – пристрій, що визначає відносини між двома словами.

Компіляція - етап автоматизованого проектування електронних пристроїв, що полягає в їх синтезі.

Конвеєризація — спосіб підвищення частоти тактування в тракті обробки даних, для реалізації якого комбінаційні ланцюги тракту розбиваються на шаблі.

Конвертація проектів - переклад проектів на реалізацію на інших засобах. Найбільш широко використовуються переходи від ПЛІС до БМК і від ПЛІС до реалізації на основі стандартних осередків.

Контролер ПДП - контролер прямого доступу до пам'яті, пристрій, що керує обміном даними між пам'яттю та зовнішніми пристроями без участі процесора.

Контроль за парністю/непарністю — контроль з перевіркою парності/непарності ваги кодових комбінацій. Має властивість виявлення помилок одиничної кратності.

Контрольний розряд — додатковий розряд, який вводиться в інформаційне слово для забезпечення парності/непарності його ваги або ваги окремих груп розрядів при контролі за модулем два або за допомогою коду Хеммінга.

Конфігурований логічний блок (Configurable Logic Block) — логічний блок мікросхем програмованої логіки, що настраюється (програмується) на відтворення необхідних функцій.

Коефіцієнт розгалуження — число входів, які можуть бути підключені до одного виходу у схемі з однотипних елементів. Максимально допустимий коефіцієнт розгалуження визначається паспортом елемента.

Кратність помилки — кількість неправильних розрядів у цій кодовій комбінації.

Критичний шлях - маршрут поширення сигналу у пристрої (схемі), що визначає його (її) максимально можливу швидкодію.

Кеш-пам'ять — особливо швидкодіюча пам'ять, що зберігає копії інформації, яка використовується в поточних операціях обміну з процесором.

Кеш-пам'ять набірно-асоціативного типу — варіант кеш-пам'яті, проміжний щодо варіантів з повною асоціацією та прямим розміщенням.

Кеш-пам'ять із повною асоціацією — асоціативна кеш-пам'ять із довільним завантаженням даних.

Кеш-пам'ять з прямим розташуванням — кеш-пам'ять, в якій одна або кілька сторінок основної пам'яті суворо відповідають одному рядку кеш-пам'яті.

Кеш першого рівня (L1) – внутрішньопроекторна кеш-пам'ять, розміщена на одному кристалі з процесором.

Кеш другого рівня (L2) - кеш-пам'ять, розташована поза кристалом, на якому розміщений процесор. Місткість кеш-пам'яті другого рівня, як правило, перевищує ємність кеш-пам'яті першого рівня.

Л

ЛІЗМОН - МОН-транзистор з лавинною інжекцією заряду. Має "плаваючий затвор", тобто ізольовану область над каналом, в якій можна створювати або не створювати електричний заряд, відображаючи тим самим логічні стани 1 і 0. Крім того, може мати або не мати звичайний затвор, що управляє (варіанти " з плаваючим затвором" та "з подвійним затвором").

Лічильник асинхронний - лічильник, розряди якого при переході до нового стану формуються не одночасно.

Лічильник Джонсона (лічильник Мебіуса, що зсуває регістр з перехресним зворотним зв'язком) - лічильник, що працює в коді Лібау-Крейга.

Лічильник синхронний — лічильник, розряди якого при переході в новий стан перемикаються одночасно під впливом вхідного (тактового) сигналу.

М

Магістрально-модульна структура — структура мікропроцесорної системи, в якій до тих самих шин підключаються різні модулі.

Мажоритарний елемент - логічний елемент з непарним числом входів, вихідна величина якого визначається тим, які сигнали (0 або 1) становлять більшість серед вхідних сигналів.

Маскування запитів - вплив на сигнали запитів переривання, прямого доступу до пам'яті та ін, забороняє обслуговування цих запитів.

Масочне програмування — запис даних у ПЗП або завдання міжз'єднань у БМК, які здійснюються під час виробництва кристалів методами інтегральної технології (за допомогою шаблонів металізації).

Матричний базовий осередок - базовий осередок внутрішньої області БМК, призначений для реалізації на її основі функціональних осередків.

Машинний цикл - інтервал часу, що становить частину командного циклу, що відповідає в основному зверненню процесора до пам'яті або зовнішнього пристрою та передачі байта (слова) у процесор або з нього.

Метастабільний стан - аномальний стан тригера, в якому він тривалий час знаходиться поблизу рівноважного стану. Викликається порушенням умов попереднього встановлення та витримки інформаційних сигналів щодо тактуючого або іншими факторами, що вводять тригер у режим, близький до рівноважного (симетричного).

Мікроконтролер — однокристальна мікроЕОМ, орієнтована на виконання щодо простих алгоритмів управління технічними об'єктами та технологічними процесами.

Мікропроцесор - реалізований на одному або декількох кристалах програмно-керований пристрій, що здійснює процес обробки інформації та

управління ним.

Мікропроцесорний комплект БІС — набір мікросхем, придатних для спільного застосування при побудові мікропроцесорної системи.

Мікропроцесорна система - система, в якій реалізований закінчений процес виконання заданої програми, що містить як основні блоки (модулі) процесор, пам'ять, зовнішні пристрої та інтерфейсні схеми.

Мінімізація логічних функцій - таке перетворення логічних функцій, яке спрощує їх у сенсі заданого критерію.

МНОН - транзистор зі структурою "метал-нітрид-оксид-напівпровідник", в якому при програмуванні можна створювати або усувати заряд на межі шарів "нітрид-оксид", відображаючи тим самим логічні стани (0 і 1).

Моделювання - відтворення в модельному часі поведінки моделі (математичної або програмної), що відповідає поведінці цільової системитемному часі.

Моделювання з одиничною затримкою (Unit Delay) — найпростіша форма тимчасового моделювання цифрових схем, коли затримки всіх елементів вважаються однаковими і рівними модельної одиниці.

Модуль рахунку - число станів, яке може мати лічильник, тобто ємність лічильника.

Мультиплексування - передача сигналів від різних джерел по одних і тих же лініях у режимі розподілу часу.

Мультиплексор - схема, що передає на вихід одну з декількох вхідних величин під керуванням коду, що адресує.

Н

Навантажувальна здатність — параметр мікросхеми, який визначається величинами допустимих вихідних струмів у станах логічного нуля та одиниці. Значення максимально допустимого ємнісного навантаження зазвичай визначається окремо.

Наскрізний струм — короткочасний імпульс струму споживання мікросхеми, характерний для елементів ТТЛ(Ш) і КМОП і що виникає при їх перемиканні.

О

Однофазна синхронізація — система синхронізації, в якій на всі елементи пам'яті (тригери) подаються одні й ті сигнали, що тактують.

Операція монтажно́ї логіки — логічна операція, що реалізується шляхом з'єднання в одній точці виходів кількох логічних елементів з відкритим колектором або емітером.

Організація ЗУ - параметр ЗУ, що виражається добутком максимально можливої кількості слів, що зберігаються, на їх розрядність.

Основна пам'ять - пам'ять, що працює в режимі оперативного обміну даними з процесором і, на відміну від кеш-пам'яті, що зберігає весь обсяг

П

Паралельний периферійний адаптер (PPI, Parallel Peripheral Interface) - пристрій, що обслуговує обмін паралельними даними між процесором і зовнішніми пристроями.

Передній фронт - перепад сигналу під час його переходу від пасивного рівня до активного. Для Н-активного сигналу переднім є позитивний фронт, для L-активного - негативний.

Перехресна перешкода - перешкода, що породжується взаємним впливом біля спраглих сигнальних ліній.

Периферійне сканування - синонім терміна "Граничне сканування", в цій книзі не використовується.

Поведінкова модель — високорівневе уявлення електронного проекту, яке описує поведінку різних модулів або підсистем проекту (зазвичай без урахування технології, що використовується при його реалізації).

Поліноміальний лічильник - зсувний регістр з лінійними зворотними

зв'язками, тобто зв'язками, реалізованими за допомогою елементів додавання по модулю два. Використовуються як генератори псевдовипадкових після тривалостей.

Повністю замовлена ВІС/СВІС — мікросхема, яка повністю проектується за конкретним замовленням і виготовляється за допомогою індивідуального набору фотошаблонів для всіх етапів процесу виробництва.

Порогова напруга — значення вхідної напруги елемента, перехід через який трактується як перехід сигналу з одного логічного стану до іншого.

Послідовні репрограмовані ЗУ — репрограмовані запам'ятовуючі пристрої типів EEPROM і Flash з послідовним інтерфейсом, які приймають і видають команди та дані по однорозрядних лініях.

Принстонська архітектура процесора (архітектура фон Неймана) — архітектура із загальною пам'яттю команд та даних.

Пріоритетний шифратор - пристрій, що виробляє двійковий номер старшого з наявних на входах запитів (переривання, прямого доступу до пам'яті та ін.).

Програмована логічна матриця (PLA, Programmable Logic Array) — мікросхема для реалізації системи перемикальних функцій, представлених у ДНФ і складаються з єдиного набору кон'юнктивних термів. Основа ПЛМ - послідовно включені програмовані матриці елементів І та АБО.

Програмована матрична логіка (PAL, Programmable Array Logic) — мікросхема для реалізації системи перемикальних функцій, представлених у ДНФ, кожна з яких складається з індивідуального набору щодо невеликої кількості кон'юнктивних термів. Основа ПМЛ - послідовне включення програмованої матриці елементів І та фіксованої матриці елементів АБО.

Програмування в системі (In System Programmable) — властивість ВІС/НВІС програмованої логіки конфігуруватися безпосередньо в системі, тобто без вилучення зі схеми.

Програмований інтервальний таймер (Programmable Interval Timer) - мікросхема, що виконує в системі операції, пов'язані з часом, частотами та

інтервалами.

Програмований контролер переривань (Programmable Interrupt Controller) - мікросхема, що обслуговує векторні переривання за запитами багатьох джерел. Реалізує різноманітні способи арбітражу та маскування запитів.

Програмований зв'язковий адаптер (Programmable Communication Interface) - мікросхема, що обслуговує обмін даними між процесором і зовнішнім пристроєм, що оперує послідовними даними. Виконує перетворення паралельних даних на послідовні, і навпаки, і необхідні інтерфейсні функції.

Проектування методом "стандартних осередків" - проектування BIC/CBIC, що виготовляються за допомогою повного набору фотошаблонів, фрагменти яких можуть запозичуватися з бібліотеки готових рішень.

Прототипування — як правило, використання програмованих або конфігурованих стандартно схем, що випускаються для роботи з проектом (налагодження) перед його замовною реалізацією в конструктивно закінченій формі.

Псевдовипадкова послідовність — детермінована і, як правило, циклічна послідовність, що складається з нулів і одиниць, характеристики якої близькі до характеристик істинно випадкової послідовності.

Подієво кероване моделювання — моделювання, при якому визначення стану моделі відбувається тільки при виникненні події (зміні стану будь-яких внутрішніх або зовнішніх елементів, таких як новий такт роботи). Відрізняється від тимчасового моделювання, при якому обчислення стану системи здійснюється через однакові кванти астрономічного часу.

Р

Радіальне переривання - переривання, місцезнаходження підпрограми про служіння якого заздалегідь відомо, і передача в процесор відомостей про нього не потрібно.

Реверсивний лічильник — лічильник, напрямок рахунку в якому може

змінюватися під впливом сигналу, що управляє.

Регенерація даних - необхідний для динамічних ЗУ режим відновлення збережених даних, періодична реалізація якого запобігає втраті інформації внаслідок перезаряду запам'ятовують конденсаторів струмами витоку.

Регістр — типовий функціональний вузол цифрових пристроїв, що виконує операції прийому, зберігання та видачі даних, причому прийом та видача можуть здійснюватися для паралельних та (або) послідовних даних.

Регістровий файл - запам'ятовуючий пристрій, реалізований на основі набору регістрів.

Резистор-термінатор — резистор, що має опір, що дорівнює хвильовому опору лінії передачі сигналу, що включається в її кінці для придушення відбитих хвиль.

Реінжиніринг - відтворення (несанкціоноване) проекту з тим чи іншим ступенем розкриття його внутрішньої структури та принципів функціонування.

С

Самовідновлення після збою - властивість автомата входити в робочий цикл після попадання в "зайві" (не використовуються) стани без впливу спеціальних сигналів установок.

Сегментована система міжз'єднань — система комутації, властива головним чином схемам FPGA, в якій лінії зв'язків складаються з окремих сегментів, тобто провідних ділянок, що не містять програмованих ключів. Самі сегменти з'єднуються один з одним програмованими ключами.

Семисегментний індикатор - індикатор для візуального сприйняття символів, в якому ці символи відображаються за допомогою семи відрізків прямих (сегментів).

Синдром помилки — слово, складене з розрядів, значення яких визначаються результатами перевірок груп, що входять до кодових комбінацій коду Хеммінга. Синдром вказує номер неправильного розряду, що підлягає виправленню.

Симуляція - моделювання поведінки системи (цільової) за допомогою системи з іншою фізичною природою.

Синтез - процес перекладу опису проекту від одного рівня абстракції до іншого (як правило, у напрямку до певної фізичної реалізації).

Синхронізатор одиночних імпульсів — схема виробітку за командою одиничного імпульсу, що належить тактовій послідовності системи.

Синхронність — скоординована зміна стану кількох елементів схеми.

Синхронний автомат — автомат, елементи пам'яті якого приймають інформацію тільки в певні моменти часу, що задаються синхронними сигналами.

Системний інтерфейс — інтерфейс міжмодульного обміну в межах мікропроцесорної системи.

Системний еквівалентний вентиль - одиниця виміру складності програмованих БІС / НБІС. Визначення "системний" означає, що через число таких еквівалентних вентилів виражаються і складності блоків, що не належать до логічних, перш за все блоків пам'яті.

Досконала диз'юнктивна нормальна форма (СДНФ) — форма подання перемикальних (логічних) функцій, диз'юнкція кон'юнкцій однакової розмірності, що включають літерали всіх аргументів.

Статична завадостійкість — стійкість до дії перешкод, тривалість яких не обмежується. Визначається амплітудами перешкод, які не порушують роботу елемента.

Статичний ризик - короткочасні "хибні" сигнали, що з'являються в перехідних процесах на виходах схем у ситуаціях, в яких згідно з логічними рівняннями вихідні сигнали повинні залишатися незмінними. Виникають як наслідок затримок сигналів у ланцюгах схеми.

Статичне ОЗУ (SRAM) - оперативне запам'ятовуючий пристрій, основою запам'ятовуючого елемента якого є тригер. Відрізняється високою швидкістю.

Сторожовий таймер — таймер, призначений для відстеження ситуацій,

в яких програма виконується неправильно, і викликає перезапуск програми у цих випадках.

Сторінкова організація пам'яті — організація пам'яті, у якій адреса осередку сприймається як з двох частин, причому старша вказує сторінку (субмодуль), а молодша є адресою слова даної сторінці (у цьому субмодулі).

Стробуючий сигнал - сигнал, своїм рівнем визначальний інтервал часу, на якому виконується та чи інша операція.

Схема прискореного множення - у цьому контексті схема, що реалізує алгоритм множення "відразу на два розряди".

Т

Табличний функціональний перетворювач (LUT, Look-Up Table) — логічний блок програмованих BIC/CBIC, реалізований на основі схем програмованої пам'яті.

Тег - додаткові дані, що супроводжують одиницю інформації, що зберігається в кеш-пам'яті, і визначають, копією вмісту якої комірки основної пам'яті є ця одиниця інформації.

Терм — у цій книзі під цим терміном розуміється кон'юнктивний терм, т. е. логічний твір змінних (їх прямих чи інверсних значень).

Тестування - перевірка збігу необхідної та реальної поведінки пристроїв та систем, що проводиться з використанням певних методів та засобів.

Третій стан - стан "відключено", в якому вихід логічного елемента практично від'єднується від навантаження. Елементи з трьома станами виходу (0, 1 і "відключено") можуть підключатися до магістралей систем з магістрально-модульною структурою.

Тимчасова діаграма - графічне представлення сигналів електричних схем, що показує, як змінюються сигнали в часі і як вони взаємно співвідносяться.

Тимчасове моделювання - моделювання електричних схем з

урахуванням дійсних часових співвідношень між вхідними та вихідними сигналами всіх елементів схеми.

Тригер - елементарний автомат, що містить елемент пам'яті з ємністю один біт і схему керування записом цього елемента пам'яті.

Тригер асинхронний — тригер, який сприймає вплив інформаційних вхідних сигналів безпосередньо в моменти їх змін.

Тригер-клацанка - тригер типу D, що має режим "прозорості" при одному рівні керуючого сигналу і режим зберігання при іншому.

Тригер, керований фронтом - тригер, для якого сигналом дозволу прийому інформації є перепад керуючого (тактуючого) сигналу. Такий тригер називають також синхронним тригером з динамічним управлінням.

Тригер D — синхронний тригер з одним інформаційним входом, який приймає стан, відповідний вхідному сигналу, за дозволом тактуючого сигналу.

Тригер JK — тригер, який має інформаційні входи установки та скиду, а також режим лічильного тригера.

Тригер RS - тригер, що має інформаційні входи установки та скидання.

Турбо-біт — біт, програмуванням якого в схемах вибирається один з двох режимів — більш швидкодіючий (при підвищенні споживаної схемою потужності) або менш швидкодіючий (економічніший за споживаною потужністю).

У

Універсальний логічний модуль - пристрій, який відтворює будь-яку функцію заданої кількості аргументів.

Ф

Фіксований пріоритет - пріоритет, наданий даному запиту (входу) і не змінюється у процесі роботи системи.

Флеш-пам'ять — пам'ять, що репрограмується, в якій стирання даних проводиться електричними сигналами для всього кристала або для окремих

блоків (симетричних або несиметричних).

Флеш-пам'ять із дзеркальним бітом (Mirror-bit Memory) — флеш-пам'ять із зберіганням двох бітів в одному запам'ятовуючому елементі за допомогою дорожнього поділу областей зберігання двох зарядів у плаваючому затворі транзистора.

Флеш-пам'ять з несиметричними блоками (Boot-Block Flash Memory) - флеш-пам'ять для зберігання програм та інших рідко змінюваних даних, структурі якої виділяються спеціалізовані блоки різного значення.

Флеш-пам'ять із симетричними блоками (Flash-File Memory) — флеш-пам'ять для заміни електромеханічних пристроїв на основі жорстких дисків.

Функції збудження тригера - функції, що визначають такі впливи на тригери автомата, які переводять автомат з одного стану в інший згідно з необхідним графом переходів.

Функціональний осередок - типове схемне рішення, що входить до складу бібліотеки БМК і реалізується на основі одного або декількох базових осередків кристала.

Функціональне моделювання — моделювання цифрових систем, при якому не враховуються затримки розповсюдження сигналів усередині окремих компонентів.

Функція генерації — допоміжна функція, яка використовується при синтезі суматорів та деяких інших пристроїв, які використовують сигнали переносу. Приймає одиничне значення для тих розрядів або груп розрядів, на виходах яких сигнал перенесення виникає незалежно від наявності або відсутності вхідного переносу.

Функція прозорості — допоміжна функція, яка використовується при синтезі суматорів та деяких інших пристроїв, у яких використовуються сигнали перенесення. Приймає одиничне значення тих розрядів чи груп розрядів, на виходах яких сигнал перенесення виникає лише за наявності вхідного переносу.

Х

Хвильовий опір - параметр лінії передачі сигналів, що трактується як "довга лінія".

Час витримки (Hold Time) - (1) для тригера - інтервал часу після надходження синхросигналу, протягом якого вхідні інформаційні сигнали повинні залишатися незмінними; (2) у більш загальному сенсі для двох сигналів А і це інтервал часу між початком сигналу А і закінченням сигналу (цей час називають також часом утримання).

Ц

Цикл ЗУ - мінімальний інтервал часу між сусідніми однотипними зверненнями до ЗУ. Відповідно до типу звернення розрізняють цикли читання, записи та ін.

Циклічний (круговий) пріоритет - порядок обслуговування запитів (переривання, прямого доступу до пам'яті та ін), для якого джерела просів рівноправні. Рівноправність джерел запитів досягається тим, що їхні пріоритети змінюються під час роботи системи — після обслуговування джерело отримує нижчий пріоритет, який поступово підвищується з обслуговуванням інших джерел запитів.

Ч

Час попереднього встановлення (Set-Up Time) - (1) для тригера - інтервал часу до надходження синхросигналу, протягом якого вхідні інформаційні сигнали повинні залишатися незмінними; (2) у більш загальному сенсі для двох сигналів А і це інтервал часу між початком сигналу А і початком сигналу.

Ш

Швидкий сторінковий доступ (FPM, Fast Page Mode) — прискорений доступ до даних в динамічних ЗУ, можливий за умови "куповості" їх адрес,

коли дані, що запитуються, належать одній і тій же сторінці (рядку матриці запам'ятовуючих елементів).

Доповнення.

Словник іноземних скорочень та термінів

AGP – Advanced Graphics Port – стандартний інтерфейс графічних систем.

AHDL – Altera Hardware Description Languages – мова опису апаратури фірми Altera.

ASCII – American Standard Code for Information Interchange – стандартний американський код обміну інформацією у послідовних інтерфейсах.

ASICs - Application Specific Integrated Circuits - спеціалізовані IC, що виготовляються тим чи іншим способом за індивідуальним технічним завданням (для конкретного проекту).

AVR – сімейство мікроконтролерів фірми Atmel.

Back Annotation — коригування схеми проекту, яка спирається на інформацію, отриману після моделювання або будь-яких інших видів роботи проектною інформації, і відображає вимоги зміни схеми в залежності від результатів обробки (зміна контактів, обмін вентиляльних груп).

BEDORAM - Burst Extended Data Out RAM - варіант динамічних ОЗУ, близький до EDORAM і відрізняється від нього пакетним доступом до даних, що дозволяє скоротити цикл звернення всередині пакета.

BIST - Built In Self Test - засоби тестування інтегральних схем, вбудовані в цю ж схему.

BSCs - Boundary Scan Cells - див. Комірки граничного сканування.

CD – Coder – шифратор.

CDR - Clock-Data Recovery - автоматична взаємна тимчасова підбудівництво переданих даних і синхросигналів.

CDRAM — Cached DRAM — динамічна ОЗУ підвищеної швидкодії, що

досягається шляхом кешування.

CISC - Complex Instruction Set Computer - архітектура процесора, що має широкий набір різноманітних команд.

Clock Boost — збільшення частоти тактових імпульсів, одна з функцій, що виконуються блоками PLL.

Clock Lock — корекція тимчасового становища тактових імпульсів, одне з функцій, виконуваних блоками PLL.

Clock Skew - тимчасове зсув тактового імпульсу щодо заданого положення, викликаний паразитними затримками в ланцюгах тактування.

Clock Tree — деревоподібна побудова синхронних схем для мінімізації ефекту тактового перекосу (Clock Skew).

CPLD — Complex PLD — БІС/CBІС програмованої логіки, структура якої є сукупністю блоків типу PAL або GAL, об'єднаних матрицею програмованих з'єднань. Програмується користувачем.

CPU - Central Processor Unit - центральний процесор.

CRU – Carry Unit – блок прискорених переносів.

CSoC - Configurable System on Chip - мікросхема типу "конфігурована система на кристалі".

DC – Decoder – дешифратор.

DCM — Digital Clock Manager — блок керування параметрами синхронізації.

DDR – Double Data Rate – передача сигналів з подвійною швидкістю.

DIMM — Dual In Line Memory Module — модуль пам'яті з дворядним розташуванням висновків.

DLL – Delay Locked Loop – схема корекції параметрів синхросигналів.

DMA - Direct Memory Access – прямий доступ до пам'яті.

DRDRAM - Direct RDRAM - варіант динамічного ОЗУ високої швидкодії типу RDRAM, в якому скорочено характерне для RDRAM запізнення при доступі до першого слова пакета даних (латентність).

DSP – Digital Signal Processing – цифрова обробка сигналів.

EAB - Embedded Array Block - вбудований блок пам'яті/обробки в мікросхемах програмованої логіки.

EDA – Electronic Design Automation – загальна назва програмних засобів автоматизації проектування складних електронних систем.

EDIF – Electronic Design Interchange Format – формат обміну проєктів при розробці електронних схем. Список ланцюгів у цьому стандарті можна отримати з описів проєкту мовами VHDL чи Verilog HDL за допомогою стандартних програм. Файли у форматі EDIF можуть формуватися пакетами програмних засобів ряду САПР для цілей моделювання за допомогою стандартного пакета моделювання EDIF.

EDORAM — Extended Data Out RAM — варіант динамічної ОЗП підвищеної швидкодії.

EEPROM - Electrically Erasable Read Only Memory - електрично стирає моє ЗП, що репрограмується.

EPROM - Electrically Programmable Read Only Memory - репрограмує моє ЗП з ультрафіолетовим стиранням даних.

EPROM-OTP - одноразово програмоване ЗП з програмуванням станів плаваючих затворів МОН-транзисторів.

ESB — Embedded System Block — вбудований системний блок пам'яті/обробки в мікросхемах програмованої логіки.

FACM – Full Associative Cache Memory – повністю асоціативна кеш пам'ять.

FCRAM — Fast Cycle Random-Access Memory — динамічне ЗП із скороченою тривалістю циклу.

FIFO - First-In - First-Out - ЗП з послідовним доступом до даних типу "черга" (за правилом "перший увійшов - перший вийшов").

Firm-ядро — різновид soft-ядра з меншим ступенем свободи реалізації в мікросхемі з програмованою структурою.

FPM — Fast Page Mode — див. Швидкий сторінки.

FRAM - Ferroelectric RAM - фероелектричне ОЗУ.

GA – Gate Array – базовий матричний кристал (вентильна матриця).

GRM – General Routing Matrix – головна матриця з'єднань.

Hard-ядро - область кристала з програмованою структурою, в якій реалізовано той чи інший пристрій жорсткої структури, що не дозволяє репрограмування.

Hit - сигнал "попадання" в схемах кеш-пам'яті, що свідчить про наявність запитуваної одиниці інформації в цій пам'яті.

HLD – Hardware Description Language – мова опису апаратури.

HSTL – High Speed Transceiver Logic – стандарт сигналів інтерфейсу.

12C - Inter-Inter Computer — інтерфейс синхронного послідовного обміну для з'єднання між мікроЕОМ або між мікроЕОМ і периферійними пристроями.

IP - Intellectual Property - інтелектуальна власність, термін, прийнятий для найменування програмних ядер (soft-ядер) мікросхем з програмованими структурами.

ISP - In-System Programmable - див. Програмування в системі.

JEDEC — Joint Electronic Device Engineering Council — об'єднана інженерна рада з електронних пристроїв, в галузі програмованої логіки позначає текстовий файл, що містить інформацію про програмування схеми у стандартній формі JEDEC.

JTAG — Joint Test Action Group — об'єднана група з питань тестування, на ім'я якої названо методи тестування БІС/НБІС без фізичного доступу до кожного їх висновку та програмування мікросхем програмованої логіки за допомогою JTAG-інтерфейсу.

LIFO - Last-In - First-Out - ЗУ з послідовним доступом до даних стекового типу (за правилом "останній увійшов - перший вийшов").

LPGA – Laser-Programmable Gate Array – базовий матричний кристал із лазерним програмуванням міжз'єднань.

LUT - Look Up Table - див. Табличний функціональний перетворювач.

MDAC — Multiplying Digital-Analog Converter — множинний цифровий

перетворювач.

MDRAM - Multibank DRAM - багатобанківська динамічна пам'ять, варіант підвищення швидкодії ЗУ за допомогою розбиття пам'яті на частини (банки), що при купівлі адрес послідовних звернень до пам'яті дозволяє звертатися до банків по черзі з вищою швидкістю.

MIPS - (1) Mega Instructions Per Second - мільйон команд в секунду, міра продуктивності процесора; (2) Microprocessor without Interlocked Pipe line Stages - назва відомої фірми, що означає, по суті, "мікропроцесор без затримок очікування конвеєра".

MLC — Multilevel Cell — багаторівневий осередок пам'яті, що дозволяє зберігати в ньому більше одного біта.

MPGA – Mask-Programmable Gate Array – базовий матричний кристал із масковим програмуванням міжз'єднань.

MRAM - Magnetic RAM - перспективне ОЗП, робота якого заснована на застосуванні магнітних матеріалів.

MUX – Multiplexer – мультиплексор.

Net List — перелік усіх компонентів проекту та всіх сигналів, що з'єднують ці компоненти між собою.

NoBL - No Bus Latency - варіант ОЗУ з усуненням затримки при реверсі шин.

Node – одиночний контакт у електричних схемах.

NtRAM - No Turnaround RAM - варіант ОЗУ з усуненням затримки при реверсі шин.

NvSRAM - Non-Volatile SRAM - статичне ОЗУ з властивістю енергонезалежності.

OUM — Ovonics Unified Memory — перспективне ЗП фірми Ovonics, робота якого заснована на застосуванні матеріалів із змінними фазовими станами.

PAL - Programmable Array Logic - див. Програмована матрична логіка.

PCI – Peripheral Component Interconnect – популярна шина розширення для з'єднання периферійних компонентів системи.

PFRAM - Polimeric FRAM - полімерна фероелектрична пам'ять.

PIC - Programmable Interruption Controller - програмований контролер переривань.

PIP - Programmable Interconnect Point - програмована точка з'єднань.

PLA - Programmable Logic Array - див. Програмована логічна матриця.

PLD - Programmable Logic Device - загальне найменування для схем PAL та PLA.

PLL - Phase Locked Loop - схема стежить системи з чутливим елементом, що реагує на різницю фаз імпульсних послідовностей, що використовується для управління часовими параметрами синхросигналів цифрових пристроїв.

PREP — Programmable Electronics Performance Corporation — консорціум компаній, що запропонував набір еталонних схем та методику оцінки складності BIC/CBIC програмованої логіки.

PSOC - Programmable System On Chip - програмована система на кристалі.

Pull-down Resistor - "заземлювальний" резистор, що фіксує низький рівень потенціалу на виведенні у відсутності на ньому активного сигналу.

Pull-up Resistor - "підтягуючий" резистор, що фіксує високий рівень потенціалу на виведенні відсутності у ньому активного сигналу.

RAM - Random-Access Memory - оперативне ЗУ (ЗУ з довільним доступом).

RDRAM – Rambus DRAM – динамічна ОЗУ високої швидкодії, розроблена фірмою Rambus.

RISC - Reduced Instruction Set Computer - варіант архітектури швидкодіючих процесорів зі скороченим набором команд.

RLDRAM - Reduced Latency DRAM - динамічна ОЗУ, що швидко діє.

SERDES - Serialiser-Deserialiser - блок перетворення паралельних даних

у послідовні, і навпаки.

SIMM – Single In-line Memory Module – модуль пам'яті з однорядним розташуванням висновків.

SOC — System On Chip — BIC/HBIC вищого рівня складності, в якій можна реалізувати цілу систему, тобто сукупність різних модулів, що утворюють цілісну систему обробки інформації.

SOI - Silicon On Insulator - схемотехнологія інтегральних схем, що забезпечує мінімальність паразитних параметрів схеми, що, в кінцевому рахунку, призводить до поліпшення її технічних характеристик.

SOPC - System On Programmable Chip - BIC/HBIC програмованої логіки вищого рівня складності, на якій можна реалізувати цілу систему, тобто сукупність різних модулів, що утворюють цілісну систему обробки інформації.

SPI - Serial Peripheral Interconnect - синхронний послідовний інтерфейс.

SPLD – Simple Programmable Logic Device – програмована логічна схема невисокої складності.

SRAM – Static RAM – статичне ОЗП.

SSTL - Stub Series Terminated Logic - стандарт сигналів інтерфейсу, що використовується для мікросхем швидкодіючих динамічних ОЗП.

StrataFlash — запам'ятовуючий пристрій флеш-типу із запам'ятовуванням двох бітів в одному елементі, що запам'ятовує, за допомогою багаторівневого заряду плаваючих затворів транзисторів ЛІЗМОН.

TAP - Test Access Port - див. Порт тестування.

Terminator - резистор в кінці лінії зв'язку, що забезпечує для неї узгодження хвильового опору з навантаженням.

UART - Universal Asynchronous Receiver - Transmitter - програмований зв'язковий адаптер, що реалізує асинхронні протоколи передачі послідовних даних.

VLIW - Very Long Instruction Word - архітектура процесора, що має набір дуже довгих (багатобайтових) команд.

WDT – Watchdog Timer – сторожовий таймер.

XACT- пакет програмних засобів для проектування БІС/НВІС для
грамованої логіки компанії Xilinx.

ZBT – Zero Bus Turnaround – варіант ОЗУ з усуненням затримки реверсу
шини.

НАВЧАЛЬНИЙ ПОСІБНИК**«Комп'ютерна схемотехніка: лабораторний практикум»**

для студентів
спеціальності 123 “Комп'ютерна інженерія”

Автор

Клушин Юрій Сергійович

Редактор

Комп'ютерне верстання

Підписано до друку . .2022.
Формат 60x84 1/16. Папір офсетний. Друк на різнографі.
Умовн. друк. арк. . Обл.-вид. арк. .
Наклад прим. Зам. .

Видавництво Національного університету “Львівська політехніка”
Реєстраційне свідоцтво ДК № 751 від 27.12.2001 р.

Поліграфічний центр Видавництва
Національного університету “Львівська
політехніка”

вул. Ф. Колесси, 2, Львів, 79000

